

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Docket No.: 040301/0578

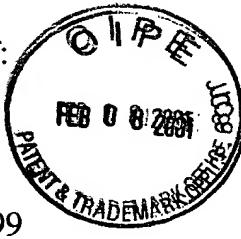
In re patent application of:

Nobutoshi AOKI et al.

Serial No.: 09/440,928

Filed: November 16, 1999

For: SEMICONDUCTOR INTEGRATED CIRCUIT INCLUDING INSULATED GATE  
FIELD EFFECT TRANSISTOR AND METHOD OF MANUFACTURING



Group Art Unit: 2811

Examiner: Unassigned

**CLAIM FOR CONVENTION PRIORITY**

Assistant Commissioner for Patents

Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. §119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of said original foreign application:

**Japanese Patent Application No. P10-326973 filed November 17, 1998**

Respectfully submitted,

February 8, 2001

Date

Phillip J. Articola

Phillip J. Articola

Registration No. 38,819

FOLEY & LARDNER  
3000 K Street, N.W.  
Suite 500  
Washington, D.C. 20007-5109  
Tel: (202) 672-5300



**PATENT OFFICE**

# JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of the following application as filed with this office.

Date of Application : November 17, 1998

**Application Number : P10-326973**

Applicant(s) : KABUSHIKI KAISHA TOSHIBA

November 19, 1999

Commissioner,  
Patent Office

Takahiko KONDOW

Number of Certification : H11-3079599

RECEIVED  
FEB 12 2001  
TECHNOLGY CENTER  
2000

日本国特許  
PATENT OFFICE  
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application:

1998年11月17日

出願番号  
Application Number:

平成10年特許願第326973号

出願人  
Applicant(s):

株式会社東芝

RECEIVED

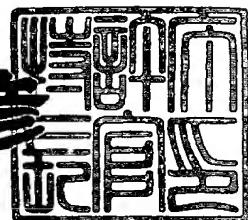
FEB 12 2001

TECHNOLOGY CENTER 2800

1999年11月19日

特許庁長官  
Commissioner,  
Patent Office

近藤 隆彦



出証番号 出証特平11-3079599

【書類名】 特許願  
【整理番号】 4HA986113  
【提出日】 平成10年11月17日  
【あて先】 特許庁長官殿  
【国際特許分類】 H01L 27/06  
H01L 27/10  
H01L 21/28  
【発明の名称】 半導体集積回路及びその製造方法  
【請求項の数】 25  
【発明者】  
【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝  
横浜事業所内  
【氏名】 青木 伸俊  
【発明者】  
【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝  
横浜事業所内  
【氏名】 大内 和也  
【発明者】  
【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝  
横浜事業所内  
【氏名】 水島 一郎  
【特許出願人】  
【識別番号】 000003078  
【氏名又は名称】 株式会社 東芝  
【代理人】  
【識別番号】 100083806  
【弁理士】  
【氏名又は名称】 三好 秀和  
【電話番号】 03-3504-3075

【選任した代理人】

【識別番号】 100068342

【弁理士】

【氏名又は名称】 三好 保男

【選任した代理人】

【識別番号】 100100712

【弁理士】

【氏名又は名称】 岩▲崎▼ 幸邦

【選任した代理人】

【識別番号】 100100929

【弁理士】

【氏名又は名称】 川又 澄雄

【選任した代理人】

【識別番号】 100108707

【弁理士】

【氏名又は名称】 中村 友之

【選任した代理人】

【識別番号】 100095500

【弁理士】

【氏名又は名称】 伊藤 正和

【選任した代理人】

【識別番号】 100101247

【弁理士】

【氏名又は名称】 高橋 俊一

【選任した代理人】

【識別番号】 100098327

【弁理士】

【氏名又は名称】 高松 俊雄

【手数料の表示】

【予納台帳番号】 001982

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路及びその製造方法

【特許請求の範囲】

【請求項1】 半導体基板上にゲート絶縁膜を介して設けられたゲート電極のゲート絶縁膜側の第1領域が種類の異なる少なくとも第1四族元素及び第2四族元素で形成され、前記ゲート電極のゲート絶縁膜から離間された第2領域が前記第1四族元素で形成された絶縁ゲート型電界効果トランジスタを備えたことを特徴とする半導体集積回路。

【請求項2】 前記ゲート電極の第1領域は、第2四族元素の組成比をゲート絶縁膜からの距離に応じて連続的に減少させたことを特徴とする請求項1に記載の半導体集積回路。

【請求項3】 前記ゲート電極の第1領域は、第2四族元素の組成比をゲート絶縁膜からの距離に応じて段階的に減少させたことを特徴とする請求項1に記載の半導体集積回路。

【請求項4】 半導体基板上にゲート絶縁膜を介して設けられたゲート電極のゲート絶縁膜側の第1領域が種類の異なる少なくとも第1四族元素及び第2四族元素で形成され、前記ゲート電極のゲート絶縁膜から離間された第2領域が前記第1四族元素で形成された絶縁ゲート型電界効果トランジスタであって、前記ゲート電極の第2領域に接して形成され、前記第2四族元素が実質的に含まれないシリサイド電極をさらに備えたことを特徴とする半導体集積回路。

【請求項5】 前記ゲート電極の第1四族元素はSiであり、前記ゲート電極の第2四族元素はGeであり、前記シリサイド電極はGeが実質的に含まれない $\text{CoSi}_y$ 層又は $\text{TiSi}_y$ 層であることを特徴とする請求項4に記載の半導体集積回路。

【請求項6】 前記ゲート電極の第1領域はSiで形成されたゲート電極の場合に発生するゲート空乏層の幅よりも厚いことを特徴とする請求項5に記載の半導体集積回路。

【請求項7】 前記ゲート電極の第1領域はGeの組成比を少なくとも0.1以上に設定した

ことを特徴とする請求項6に記載の半導体集積回路。

【請求項8】 前記ゲート電極には少なくともBが含まれることを特徴とする請求項7に記載の半導体集積回路。

【請求項9】 前記ゲート電極には少なくともAsが含まれることを特徴とする請求項7に記載の半導体集積回路。

【請求項10】 前記ゲート電極の第1四族元素はSiであり、前記ゲート電極の第2四族元素はCであり、前記シリサイド電極はCが実質的に含まれない $\text{CoSi}_y$ 層又は $\text{TiSi}_y$ 層であることを特徴とする請求項4に記載の半導体集積回路。

【請求項11】 半導体基板上にゲート絶縁膜を介して設けられたゲート電極のゲート絶縁膜側の第1領域が種類の異なる少なくとも第1四族元素及び第2四族元素で形成され、前記ゲート電極のゲート絶縁膜から離間された第2領域が少なくとも前記第1四族元素、第2四族元素及び金属を含む多元化合物で形成された絶縁ゲート型電界効果トランジスタであって、

前記ゲート電極の第2領域に接して形成され、前記第1四族元素及び金属を含み、前記第2四族元素が実質的に含まれないシリサイド電極をさらに備えたことを特徴とする半導体集積回路。

【請求項12】 半導体基板上にゲート絶縁膜を介して設けられたゲート電極と、このゲート電極の両側の前記半導体基板に設けられたソース電極及びドレイン電極とを有する絶縁ゲート型電界効果トランジスタを備えた半導体集積回路の製造方法において、

種類の異なる少なくとも第1四族元素及び第2四族元素でゲート絶縁膜側に形成された第1領域と、前記第1四族元素で前記ゲート絶縁膜から離間されて形成された第2領域とを有するゲート電極を形成する工程と、

前記ゲート電極の第2領域の少なくとも一部をシリサイド化してシリサイド電極を形成する工程と、

を備えたことを特徴とする半導体集積回路の製造方法。

【請求項13】 半導体基板上にゲート絶縁膜を介して設けられたゲート電極と、このゲート電極の両側の前記半導体基板に設けられたソース電極及びドレ

イン電極とを有する絶縁ゲート型電界効果トランジスタを備えた半導体集積回路の製造方法において、

種類の異なる少なくとも第1四族元素及び第2四族元素でゲート絶縁膜側に形成された第1領域と、前記第1四族元素で前記ゲート絶縁膜から離間されて形成された第2領域とを有する、第1チャネル導電型の第1ゲート電極を形成し、前記第1チャネル導電型とは反対導電型の第2チャネル導電型の第2ゲート電極を形成する工程と、

前記第1ゲート電極に第1導電型不純物を導入し、前記第2ゲート電極に第2導電型不純物を導入する工程と、

前記第1ゲート電極、第2ゲート電極のそれぞれの第2領域の少なくとも一部をシリサイド化してシリサイド電極を形成する工程と、

を備えたことを特徴とする半導体集積回路の製造方法。

【請求項14】 前記第1ゲート電極に第1導電型不純物を導入する工程は第1チャネル導電型の絶縁ゲート型電界効果トランジスタにおいてソース電極又はドレイン電極である主電極を形成する第1導電型不純物の導入工程と同一工程であり、

前記第2ゲート電極に第2導電型不純物を導入する工程は第2チャネル導電型の絶縁ゲート型電界効果トランジスタにおいてソース電極及びドレイン電極である主電極を形成する第2導電型不純物の導入工程と同一工程である

ことを特徴とする請求項13に記載の半導体集積回路の製造方法。

【請求項15】 第1導電型の半導体領域と、

前記半導体領域上の第1領域が種類の異なる少なくとも第1四族元素及び第2四族元素で形成され、前記半導体領域から離間された第2領域が第1四族元素で形成されたエピタキシャル成長層と、

前記エピタキシャル成長層の第2領域上のシリサイド電極と、

を備えたことを特徴とする半導体集積回路。

【請求項16】 前記半導体領域は絶縁ゲート型電界効果トランジスタのソース電極又はドレイン電極として使用される主電極であり、

前記エピタキシャル成長層はエレベーテッドソース電極又はエレベーテッドド

レイン電極として使用されるエレベーテッド電極であることを特徴とする請求項15に記載の半導体集積回路。

【請求項17】 前記エレベーテッド電極の第1四族元素はSiであり、前記エレベーテッド電極の第2四族元素はGeであり、前記シリサイド電極はGeが実質的に含まれない $\text{CoSi}_y$ 層又は $\text{TiSi}_y$ 層であることを特徴とする請求項16に記載の半導体集積回路。

【請求項18】 前記エレベーテッド電極の第1領域はGeの組成比を少なくとも0.1以上に設定し、

前記第1領域の半導体領域からの厚さが少なくとも2nmに設定されたことを特徴とする請求項17に記載の半導体集積回路。

【請求項19】 前記エレベーテッド電極には少なくともBが含まれることを特徴とする請求項18に記載の半導体集積回路。

【請求項20】 前記エレベーテッド電極には少なくともAsが含まれることを特徴とする請求項18に記載の半導体集積回路。

【請求項21】 前記エレベーテッド電極の第1四族元素はSiであり、前記エレベーテッド電極の第2四族元素はCであり、前記シリサイド電極はCが実質的に含まれない $\text{CoSi}_y$ 層又は $\text{TiSi}_y$ 層であることを特徴とする請求項16に記載の半導体集積回路。

【請求項22】 絶縁ゲート型電界効果トランジスタのソース電極又はドレイン電極である主電極を形成する工程と、

前記主電極上に種類の異なる少なくとも第1四族元素及び第2四族元素で形成された第1領域と、前記主電極から離間されて第1四族元素で形成された第2領域とを有するエレベーテッド電極を形成する工程と、

前記エレベーテッド電極の第2領域の少なくとも一部をシリサイド化してシリサイド電極を形成する工程と、

を備えたことを特徴とする半導体集積回路の製造方法。

【請求項23】 半導体基板上にゲート絶縁膜を介して設けられたゲート電極のゲート絶縁膜側の第1領域が種類の異なる少なくとも第1四族元素及び第2四族元素で形成され、前記ゲート電極のゲート絶縁膜から離間された第2領域が

前記第1四族元素で形成された絶縁ゲート型電界効果トランジスタであって、

前記絶縁ゲート型電界効果トランジスタのソース電極又はドレイン電極である主電極上の第1領域が種類の異なる少なくとも第1四族元素及び第2四族元素で形成され、前記主電極から離間された第2領域が第1四族元素で形成されたエレベーテッド電極と、

前記ゲート電極の第2領域に接して形成され、前記第2四族元素が実質的に含まれない第1シリサイド電極と、

前記エレベーテッド電極の第2領域に接して形成され、前記第2四族元素が実質的に含まれない第2シリサイド電極と、をさらに備えたことを特徴とする半導体集積回路。

【請求項24】 半導体基板上にゲート絶縁膜を介して設けられたゲート電極と、このゲート電極の両側の前記半導体基板に設けられたソース電極及びドレイン電極とを有する絶縁ゲート型電界効果トランジスタを備えた半導体集積回路の製造方法において、

種類の異なる少なくとも第1四族元素及び第2四族元素でゲート絶縁膜側に形成された第1領域と、前記第1四族元素で前記ゲート絶縁膜から離間されて形成された第2領域とを有するゲート電極を形成する工程と、

前記ソース電極又はドレイン電極である主電極上に種類の異なる少なくとも第1四族元素及び第2四族元素で形成された第1領域と、前記主電極から離間されて前記第1四族元素で形成された第2領域とを有するエレベーテッド電極のそれぞれを形成する工程と、

前記ゲート電極の第2領域の少なくとも一部をシリサイド化して第1シリサイド電極を形成するとともに、前記エレベーテッド電極の第2領域の少なくとも一部をシリサイド化して第2シリサイド電極を形成する工程と、

を備えたことを特徴とする半導体集積回路の製造方法。

【請求項25】 前記ゲート絶縁膜とゲート電極の第1領域との間にはさらに第1領域の厚さよりも薄い膜厚の第1四族元素の層又は第2四族元素の層を備えたことを特徴とする請求項1、請求項4、請求項11のいずれかに記載の半導体集積回路。

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本発明は半導体集積回路及びその製造方法に関する。特に本発明は、種類の異なる少なくとも2種類以上の四族元素(IV族元素)の領域を有するゲート電極で絶縁ゲート型電界効果トランジスタを構築した半導体集積回路及びその製造方法に関する。さらに、本発明は、絶縁ゲート型電界効果トランジスタのソース電極又はドレイン電極として使用される主電極にエレベーテッド電極を備えた半導体集積回路及びその製造方法に関する。

## 【0002】

## 【従来の技術】

半導体集積回路を構築するMOSFET(Metal Oxide Semiconductor Field Effect Transistor)の微細化に伴い、MOSFETのゲート絶縁膜は薄膜化される傾向にある。さらに、微細化に伴う短チャネル効果を抑制するために、相補型MOSFETにおいてはデュアルゲート(dual gate)電極構造が採用される傾向にある。デュアルゲート電極構造とは、nチャネルMOSFETのゲート電極をn型に設定し、pチャネルMOSFETのゲート電極をp型に設定した構造である。

## 【0003】

デュアルゲート電極構造は、一般的に通常の相補型MOSFETの製造プロセスを利用し、製造工程数を増加させることなく形成される。すなわち、まず、nチャネルMOSFETにおいては、n型半導体領域のソース電極及びドレイン電極を形成するn型不純物のドーピングと同時に同一のn型不純物がゲート電極にドーピングされる。pチャネルMOSFETにおいては、p型半導体領域のソース電極及びドレイン電極を形成するp型不純物のドーピングと同時に同一のp型不純物がゲート電極にドーピングされる。ドーピングにはイオン注入法が使用される。そして、アニールが行われ、ドーピングされた不純物が拡散されるとともに活性化される。n型不純物がドーピングされたゲート電極はn型に設定され、p型不純物がドーピングされたゲート電極はp型に設定される。

## 【0004】

さらに、MOSFETの微細化に伴い、MOSFETのソース電極及びドレイン電極のシャロー化並びに低抵抗化が要求されている。このシャロー化並びに低抵抗化にはエレベーテッド (elevated source drain又はraised source drain) 電極構造を採用することが最適である。エレベーテッド電極構造は、単結晶Si基板表面部に形成したソース電極（半導体領域）上、ドレイン電極（半導体領域）上のそれにエレベーテッド電極を積み重ねた電極構造である。エレベーテッド電極は単結晶Si基板上に成長させたエピタキシャル成長層で形成され、ソース電極及びドレイン電極はエレベーテッド電極の形成後にエレベーテッド電極を固体拡散源として単結晶Si基板表面部に不純物を拡散することにより形成される。エレベーテッド電極構造においては、ソース電極及びドレイン電極が単結晶Si基板表面からの拡散で形成されるので、浅い接合が形成できる。さらに、エレベーテッド電極構造においては、ソース電極上にエレベーテッド電極が、同様にドレイン電極上にエレベーテッド電極が各々重ね合わされているので、電極の抵抗値を低減させることができる。

## 【0005】

## 【発明が解決しようとする課題】

しかしながら、前述のMOSFETを備えた半導体集積回路においては、以下の点について配慮がなされていない。

## 【0006】

(1) デュアルゲート電極構造の採用によりnチャネルMOSFET、pチャネルMOSFETのそれに個別の問題が発生する。pチャネルMOSFETにおいては、浅い接合のソース電極及びドレイン電極を形成するために、イオン注入にはイオン注入分布を浅くできるBF<sub>2</sub>（弗化硼素）イオンが使用される。この場合、B（硼素）と同時にイオン注入されるF（弗素）がゲート絶縁膜（ゲート酸化膜）中に侵入し、このFがゲート絶縁膜中のBの拡散を促進させてしまうので、ゲート電極から基板（チャネル形成領域）にBが突き抜けてしまう。微細化に伴うゲート絶縁膜の薄膜化はこのようなBの突き抜けを助長してしまう。仮にFが存在しなくてもゲート絶縁膜の薄膜化によりBの突き抜けが発生する。このため、pチャネルMOSFETの閾値

電圧を変動させてしまうので、半導体集積回路の電気的信頼性を低下させてしまうという問題があった。

## 【0007】

一方、nチャネルMOSFETにおいては、同様に浅い接合のソース電極及びドレイン電極を形成するために、イオン注入には拡散速度が遅いAs（砒素）イオンが使用される。製造工程数の増加を避けるためにはソース電極及びドレイン電極と同様にゲート電極にドーピングされるn型不純物にはAsイオンが使用される。このAsイオンは、浅い接合のソース電極及びドレイン電極を形成するには（ソース電極及びドレイン電極のシャロー化を図るには）適しているが、逆に拡散速度が遅いのでゲート電極全体に高濃度に拡散させることが難しく、ゲート電極のゲート絶縁膜側においてAs濃度が不充分になる。特に、ソース電極及びドレイン電極のシャロー化のためにアニール温度が低温化される傾向にあり、またアニール時間が短時間化される傾向にあり、ゲート電極のゲート絶縁膜側のAs濃度不足はより一層助長されてしまう。このため、実動作でゲート電極にゲートバイアスを印加するとゲート電極内に空乏層が発生し、nチャネルMOSFETの閾値電圧を変動させてしまうので、半導体集積回路の電気的信頼性を低下させてしまうという問題があった。

## 【0008】

(2) このように、半導体集積回路の電気的信頼性を低下させてしまうので、MOSFETの微細化の障害になり、半導体集積回路の集積化を実現することができないという問題があった。

## 【0009】

(3) 特開平4-25176号公報には、pチャネルMOSFETにおいてBの突き抜けを防止する発明が開示されている。この公報に開示された発明によれば、多結晶SiにGe等の不純物を含むゲート電極を形成し、このゲート電極にBをイオン注入法でドーピングすることにより、熱工程における多結晶Siのグレイン成長を抑制することができ、グレインに沿うBの拡散を抑えることができる。しかしながら、最近のゲート電極には低抵抗化のためにゲート電極上部をシリサイド化したシリサイド電極を形成する傾向にあり、このシリサイド電極にゲート電極のGe等の

不純物が含まれるとシリサイド電極の抵抗値が高くなってしまう。このため、MOSFETのスイッチング動作速度の高速化や低電源電圧化が実現できないという問題があった。

## 【0010】

(4) エレベーテッド電極構造において、特にpチャネルMOSFETのソース電極及びドレイン電極を形成するp型不純物にはBが使用されており、このBは拡散速度がn型不純物としてのAsに比べて速い。このため、pチャネルMOSFETにおいて充分なシャロー化が得られないので、半導体集積回路の集積化を実現することができないという問題があった。

## 【0011】

(5) エレベーテッド電極構造において、エレベーテッド電極中のBの活性濃度を充分に得ることができないので、エレベーテッド電極の抵抗値が増加してしまう。このため、pチャネルMOSFETのスイッチング動作速度の高速化や低電源電圧化が実現できないという問題があった。

## 【0012】

(6) エレベーテッド電極構造において、低抵抗化のためにエレベーテッド電極にシリサイド電極を形成する研究開発が進められている。しかしながら、エレベーテッド電極とシリサイド電極との間の接触抵抗値を充分に小さくすることができないので、MOSFETのスイッチング動作速度の高速化や低電源電圧化が実現できないという問題があった。

## 【0013】

本発明は上記課題を解決するためになされたものである。従って、本発明の第1の目的は、ゲート電極にドーピングされた不純物のチャネル領域側への漏れを防止することにより、安定した閾値電圧を得ることができ、電気的信頼性を向上させることができる絶縁ゲート型電界効果トランジスタ(MISFET: Metal Insulator Semiconductor Field Effect Transistor)を備えた半導体集積回路を提供することである。

本発明の第2の目的は、ゲート電極にドーピングされた不純物の濃度を全域にわたって充分に確保し、ゲート電極の空乏層化を防止することにより、安定した

閾値電圧を得ることができ、電気的信頼性を向上させることができるMISFETを備えた半導体集積回路を提供することである。

本発明の第3の目的は、第1の目的並びに第2の目的を同時に達成することができる半導体集積回路を提供することである。特に、本発明の第3の目的は、相補型MISFETのいずれのチャネル導電型のMISFETにおいても安定した閾値電圧を得ることができ、電気的信頼性を向上させることができる半導体集積回路を提供することである。

本発明の第4の目的は、第1乃至第3の目的の少なくともいずれか1つの目的を達成しつつ、MISFETの微細化を図り、集積度を向上させることができる半導体集積回路を提供することである。

本発明の第5の目的は、第1乃至第3の目的の少なくともいずれか1つの目的を達成しつつ、MISFETのスイッチング動作速度の高速化並びに低電源電圧化を実現することができ、回路動作速度の高速化並びに低消費電力化を実現することができる半導体集積回路を提供することである。特に本発明の第5の目的は、MISFETのゲート電極に備えたシリサイド電極の抵抗値を減少させることにより、MISFETのスイッチング動作速度の高速化並びに低電源電圧化を実現することができ、回路動作速度の高速化並びに低消費電力化を実現することができる半導体集積回路を提供することである。

本発明の第6の目的は、第1乃至第5の目的の少なくともいずれか1つの目的を達成しつつ、製造工程数を低減させることができる半導体集積回路の製造方法を提供することである。特に、本発明の第6の目的は、相補型MISFETの製造工程数を低減させることができる半導体集積回路の製造方法を提供することである。

#### 【0014】

本発明の第7の目的は、エレベーテッド電極を備えたMISFETのソース電極及びドレイン電極（主電極）のシャロー化を図り、MISFETの微細化を実現することにより、集積度を向上させることができる半導体集積回路を提供することである。

本発明の第8の目的は、第7の目的を達成しつつ、エレベーテッド電極の低抵抗化並びに低電源電圧化を実現し、回路動作速度の高速化並びに低消費電力化を実現することができる半導体集積回路を提供することである。

本発明の第9の目的は、第7又は第8の目的を達成しつつ、エレベーテッド電極とシリサイド電極との接触抵抗値を減少させ、回路動作速度の高速化並びに低消費電力化を実現することができる半導体集積回路を提供することである。

本発明の第10の目的は、第7乃至第9の目的を達成しつつ、製造工程数を低減させることができる半導体集積回路の製造方法を提供することである。

本発明の第11の目的は、第1乃至第10の目的の少なくとも2以上の目的を同時に達成することができる半導体集積回路又は半導体集積回路の製造方法を提供することである。

### 【0015】

#### 【課題を解決するための手段】

上記課題を解決するために、この発明の第1の特徴は、半導体集積回路において、MISFETのゲート電極のゲート絶縁膜側の第1領域が種類の異なる少なくとも第1四族元素及び第2四族元素で形成され、ゲート電極のゲート絶縁膜から離間された第2領域が第1四族元素で形成されたことである。

ゲート電極の第1領域は第2四族元素の組成比をゲート絶縁膜からの距離に応じて連続的に、又は第2四族元素の組成比をゲート絶縁膜からの距離に応じて段階的に減少させることが好ましい。

ゲート電極の第1四族元素にはSi、第2四族元素にはGe又はCが実用的に使用できる。ゲート電極の第1領域はSiで形成されたゲート電極の場合に発生するゲート空乏層の幅よりも厚く形成されることが好ましい。第1領域のGeの組成比は実用的に少なくとも0.1以上に設定される。ゲート絶縁膜とゲート電極の第1領域との間には第1領域の厚さよりも薄い膜厚例えば1nm以下の膜厚の第1四族元素の層すなわちGeが実質的に含まれないSi層又は第2四族元素の層すなわちSiが実質的に含まれないGe層が存在してもよい。

pチャネルMISFETのゲート電極には少なくともBが含まれる。nチャネルMISFETのゲート電極には少なくともAsが含まれる。

このように構成される半導体集積回路においては、pチャネルMISFETの場合、ゲート電極のゲート絶縁膜側に第2四族元素であるGe又はCが含まれるので、p型不純物であるBの拡散速度を減少させ、Bのチャネル領域側への漏れを防止するこ

とができる。従って、pチャネルMISFETの閾値電圧を安定化させることができ、半導体集積回路の電気的信頼性を向上させることができる。さらに、nチャネルMISFETの場合、ゲート電極のゲート絶縁膜側に第2四族元素であるGe又はCが含まれるので、n型不純物であるAsの拡散速度を促進し、ゲート電極全域にわたってAsの不純物濃度を充分に確保することができる。従って、ゲート電極の空乏層化を防止することができ、nチャネルMISFETの閾値電圧を安定化させることができるので、半導体集積回路の電気的信頼性を向上させることができる。特に、デュアルゲート電極構造の相補型MISFETを備えた半導体集積回路においては、第1及び第2四族元素を含む同一ゲート電極の使用でpチャネルMISFET、nチャネルMISFETのそれぞれの閾値電圧を同時に安定化させることができる。この結果、MISFETの微細化を実現することができ、半導体集積回路の集積度を向上させることができる。

#### 【0016】

この発明の第2の特徴は、第1の特徴の半導体集積回路において、MISFETのゲート電極の第2領域に接して形成され、第2四族元素が実質的に含まれないシリサイド電極を備えたことである。シリサイド電極は第2四族元素であるGe又はCが実質的に含まれないシリサイド電極であり、シリサイド電極には $\text{CoSi}_y$ 層又は $\text{TiSi}_y$ 層が実用的に使用できる。

このように構成される半導体集積回路においては、シリサイド電極に第2四族元素が実質的に含まれないことでシリサイド電極の抵抗値を減少させることができ、MISFETのスイッチング動作速度の高速化並びに低電源電圧化を実現することができる。従って、半導体集積回路の回路動作速度の高速化並びに低消費電力化を実現することができる。

#### 【0017】

この発明の第3の特徴は、MISFETを備えた半導体集積回路において、ゲート電極のゲート絶縁膜側の第1領域が種類の異なる少なくとも第1四族元素及び第2四族元素で形成され、ゲート電極のゲート絶縁膜から離間された第2領域が少なくとも第1四族元素、第2四族元素及び金属を含む多元化合物で形成されたMISFETと、ゲート電極の第2領域に接して形成され、第1四族元素及び金属を含み、

第2四族元素が実質的に含まれないシリサイド電極と、を備えたことである。

このように構成される半導体集積回路においては、MISFETのゲート電極の第2領域が多元化合物であってもこの発明の第2の特徴の半導体集積回路と同様の効果が得られる。

#### 【0018】

この発明の第4の特徴は、MISFETを備えた半導体集積回路の製造方法において、下記工程を備えたことである。

(1) 種類の異なる少なくとも第1四族元素及び第2四族元素でゲート絶縁膜側に形成された第1領域と、第1四族元素でゲート絶縁膜から離間されて形成された第2領域とを有する、MISFETのゲート電極を形成する工程。

(2) ゲート電極の第2領域の少なくとも一部をシリサイド化してシリサイド電極を形成する工程。

このような半導体集積回路の製造方法においては、第1四族元素で形成された第2領域の範囲内でシリサイド化を行いシリサイド電極を形成したので、シリサイド電極には実質的に第2四族元素（例えばGe又はC）が含まれないシリサイド電極を形成することができる。従って、製造工程数を増加することなく、容易にシリサイド電極の抵抗値を減少させることができる。なお、ゲート電極の第2領域のすべてをシリサイド化し、シリサイド電極が直接ゲート電極の第1領域に接触してもよい。この場合のシリサイド電極は、同様に実質的に第2四族元素を含まない。

#### 【0019】

この発明の第5の特徴は、MISFETを備えた半導体集積回路の製造方法において、下記工程を備えたことである。

(1) 種類の異なる少なくとも第1四族元素及び第2四族元素でゲート絶縁膜側に形成された第1領域と、第1四族元素でゲート絶縁膜から離間されて形成された第2領域とを有する、第1チャネル導電型のMISFETの第1ゲート電極、及び第1チャネル導電型とは反対導電型の第2チャネル導電型のMISFETの第2ゲート電極を形成する工程。

(2) 第1ゲート電極に第1導電型不純物を導入し、第2ゲート電極に第2導電

型不純物を導入する工程。第1ゲート電極に第1導電型不純物を導入する工程は、製造工程数を減少させるために第1チャネル導電型のMISFETにおいてソース電極又はドレイン電極である主電極を形成する第1導電型不純物の導入工程と同一工程であることが好ましい。同様に、第2ゲート電極に第2導電型不純物を導入する工程は第2チャネル導電型のMISFETにおいてソース電極及びドレイン電極である主電極を形成する第2導電型不純物の導入工程と同一工程であることが好ましい。

(3) 第1ゲート電極、第2ゲート電極のそれぞれの第2領域の少なくとも一部をシリサイド化してシリサイド電極を形成する工程。

このような半導体集積回路の製造方法においては、第1領域及び第2領域を有するゲート電極を相補型MISFETのそれぞれにおいて同一製造工程で形成し、デュアルゲート電極構造の相補型MISFETを形成することができるので、ゲート電極を相補型MISFETのそれぞれで別々に形成する場合に比べて製造工程数を減少させることができる。さらに、相補型MISFETのそれぞれにおいては、第1の特徴の半導体集積回路で得られる効果並びに第4の特徴の半導体集積回路の製造方法で得られる効果と同一の効果を得ることができる。

#### 【0020】

この発明の第6の特徴は、半導体集積回路において、第1導電型の半導体領域と、半導体領域上の第1領域が種類の異なる少なくとも第1四族元素及び第2四族元素で形成され、半導体領域から離間された第2領域が第1四族元素で形成されたエピタキシャル成長層と、エピタキシャル成長層の第2領域上のシリサイド電極と、を備えたことである。

半導体領域はMISFETのソース電極又はドレイン電極として使用される主電極であり、エピタキシャル成長層はエレベーテッドソース電極又はエレベーテッドドレイン電極として使用されるエレベーテッド電極である。エレベーテッド電極の第1四族元素にはSiが、エレベーテッド電極の第2四族元素にはGe又はCが実用的に使用できる。好ましくは、エレベーテッド電極の第1領域はGeの組成比を少なくとも0.1以上に設定し、第1領域の半導体領域からの厚さは少なくとも2nmに設定される。

シリサイド電極はGe又はCが実質的に含まれない $\text{CoSi}_y$ 層又は $\text{TiSi}_y$ 層であることが好ましい。相補型MISFETの場合、pチャネルMISFETの主電極上に形成されるエレベーテッド電極には少なくともBが含まれる。nチャネルMISFETの主電極上に形成されるエレベーテッド電極には少なくともAsが含まれる。

このように構成される半導体集積回路においては、エピタキシャル成長層すなわちエレベーテッド電極の第1領域に含まれる第2四族元素によりエレベーテッド電極内にドーピングされた不純物の拡散速度、特にp型不純物であるBの拡散速度を減少させることができる。従って、エレベーテッド電極から拡散により形成される半導体領域の接合深さを浅くすることができるので、ソース電極及びドレン電極（主電極）のシャロー化を実現することができ、半導体集積回路の集積度を向上させることができる。さらに、エレベーテッド電極内でのp型不純物の活性濃度がSi中に比べて高くなり、エレベーテッド電極内のキャリア濃度（ホール濃度）を高くすることができる。従って、エレベーテッド電極の低抵抗化並びに低電源電圧化を実現し、半導体集積回路の回路動作速度の高速化並びに低消費電力化を実現することができる。さらに、シリサイド電極に第2四族元素が実質的に含まれないことでシリサイド電極の抵抗値を減少させることができ、MISFETのスイッチング動作速度の高速化並びに低電源電圧化を実現することができる。従って、半導体集積回路の回路動作速度の高速化並びに低消費電力化を実現することができる。さらに、エレベーテッド電極のシリサイド電極との接触部分に第2四族元素が含まれる場合には、エレベーテッド電極とシリサイド電極との間のエネルギーギャップを減少させ、ショットキー障壁の高さを減少させることができるので、エレベーテッド電極とシリサイド電極との間の接触抵抗値を減少させることができる。従って、半導体集積回路の回路動作速度の高速化並びに低消費電力化を実現することができる。

#### 【0021】

この発明の第7の特徴は、半導体集積回路の製造方法において、下記工程を備えたことである。

- (1) 半導体基板正面部に半導体領域を形成する工程。
- (2) 半導体領域上に種類の異なる少なくとも第1四族元素及び第2四族元素で

形成された第1領域と、半導体領域から離間されて第1四族元素で形成された第2領域とを有するエピタキシャル成長層を形成する工程。

(3) エピタキシャル成長層の第2領域の少なくとも一部をシリサイド化してシリサイド電極を形成する工程。

このような半導体集積回路の製造方法においては、第1四族元素で形成された第2領域の範囲内でシリサイド化を行いシリサイド電極を形成したので、シリサイド電極には実質的に第2四族元素（例えばGe又はC）が含まれないシリサイド電極を形成することができる。従って、製造工程数を増加することなく、容易にシリサイド電極の抵抗値を減少させることができる。なお、エピタキシャル成長層の第2領域のすべてをシリサイド化し、シリサイド電極が直接エピタキシャル成長層の第1領域に接触してもよい。この場合のシリサイド電極は、同様に実質的に第2四族元素を含まない。

#### 【0022】

この発明の第8の特徴は、半導体集積回路の製造方法において、下記工程を備えたことである。

- (1) MISFETのソース電極又はドレイン電極である主電極を形成する工程。
- (2) 主電極上に種類の異なる少なくとも第1四族元素及び第2四族元素で形成された第1領域と、主電極から離間されて第1四族元素で形成された第2領域とを有するエレベーテッド電極（エピタキシャル成長層）を形成する工程。
- (3) エレベーテッド電極の第2領域の少なくとも一部をシリサイド化してシリサイド電極を形成する工程。

このような半導体集積回路の製造方法においては、第7の特徴の半導体集積回路の製造方法で得られる効果と同様の効果を得ることができる。

#### 【0023】

この発明の第9の特徴は、半導体集積回路において、ゲート電極のゲート絶縁膜側の第1領域が種類の異なる少なくとも第1四族元素及び第2四族元素で形成され、ゲート電極のゲート絶縁膜から離間された第2領域が第1四族元素で形成されたMISFETと、MISFETのソース電極又はドレイン電極である主電極上の第1領域が種類の異なる少なくとも第1四族元素及び第2四族元素で形成され、主電極

から離間された第2領域が第1四族元素で形成されたエピタキシャル成長層のエレベーテッド電極と、ゲート電極の第2領域に接して形成され、第2四族元素が実質的に含まれない第1シリサイド電極と、エレベーテッド電極の第2領域に接して形成され、第2四族元素が実質的に含まれない第2シリサイド電極と、を備えたことである。

このように構成される半導体集積回路においては、第1、第2、第6の特徴の半導体集積回路のそれぞれで得られる効果を組み合わせた効果を得ることができる。

#### 【0024】

この発明の第10の特徴は、半導体集積回路の製造方法において、下記工程を備えたことである。

(1) 種類の異なる少なくとも第1四族元素及び第2四族元素でゲート絶縁膜側に形成された第1領域と、第1四族元素でゲート絶縁膜から離間されて形成された第2領域とを有する、MISFETのゲート電極、MISFETのソース電極又はドレイン電極である主電極上に種類の異なる少なくとも第1四族元素及び第2四族元素で形成された第1領域と、主電極から離間されて第1四族元素で形成された第2領域とを有するエレベーテッド電極のそれぞれを形成する工程。

(2) ゲート電極の第2領域の少なくとも一部をシリサイド化して第1シリサイド電極を形成するとともに、エレベーテッド電極の第2領域の少なくとも一部をシリサイド化して第2シリサイド電極を形成する工程。

このような半導体集積回路の製造方法においては、第4、第7の特徴の半導体集積回路の製造方法のそれぞれで得られる効果を組み合わせた効果を得ることができる。

#### 【0025】

##### 【発明の実施の形態】

以下、本発明の実施の形態を図面を参照し説明する。

#### 【0026】

##### (第1の実施の形態)

##### <デバイス構造>

図1は本発明の第1の実施の形態に係る半導体集積回路の相補型MISFET部分を示す断面構造図、図2は相補型MISFETの平面図である。図1及び図2に示すように、本実施の形態において半導体集積回路は単結晶Siからなる低不純物濃度のp型半導体基板1を主体に構成され、この半導体集積回路には論理回路や記憶回路を構築する相補型MISFETが搭載される。

#### 【0027】

相補型MISFETのnチャネルMISFETQ<sub>n</sub>は、素子分離領域2で周囲を囲まれた領域内においてp型ウェル領域1Pの主面に形成される。このnチャネルMISFETQ<sub>n</sub>はチャネル形成領域として使用されるp型ウェル領域1P、ゲート絶縁膜3、ゲート電極（制御電極）4N、ソース電極、ドレイン電極のそれぞれとして使用される一対の主電極5を備える。

#### 【0028】

p型ウェル領域1Pは、半導体基板1の主面部に形成され、低い不純物濃度に設定される。素子分離領域2は、本実施の形態において、微細化に好適なSTI (Shallow Trench Isolation) で形成される。すなわち、素子分離領域2は、半導体基板1主面から深さ方向に向かって形成された溝と、この溝内に埋設され表面が平坦化された絶縁膜（例えば、SiO<sub>2</sub>膜）で形成される。なお、素子分離領域2は、フィールド絶縁膜 (LOCOS: Local Oxidation of Silicon) で形成してもよい。

#### 【0029】

図3(A)はnチャネルMISFETQ<sub>n</sub>の詳細な要部断面構造図である。nチャネルMISFETQ<sub>n</sub>のゲート絶縁膜3には例えば5nmの膜厚で形成されたSiO<sub>2</sub>膜が使用される。ゲート絶縁膜3は、必ずしもSiO<sub>2</sub>膜には限定されず、窒化膜やオキシナイトライド膜等を使用することができる。

#### 【0030】

本実施の形態において、ゲート電極4Nは、ゲート絶縁膜3側にこのゲート絶縁膜3に接して形成された下層の第1領域4gと、ゲート絶縁膜3とは離間され第1領域4g上に形成された上層の第2領域4nとを備えて形成される。第1領域4gは、種類が異なる少なくとも2種類の四族元素で形成された領域である。

本実施の形態において、第1領域4gは、四族元素であるSiと、このSiとは異なる四族元素であるGeとを有する $Si_{1-x}Ge_x$ で形成された領域である。第2領域4nは1種類の四族元素であるSiで形成された領域である。本実施の形態に係る相補型MISFETにおいてはデュアルゲート電極構造が採用されているので、nチャネルMISFET Qnのゲート電極4Nにはn型不純物がドーピングされる。n型不純物にはAsが実用的に使用できる。

#### 【0031】

図1に示すように、nチャネルMISFET Qnはエクステンデッドソース・ドレイン構造で形成され、主電極5は、高不純物濃度のn型半導体領域5Hと、この半導体領域5Hとチャネル形成領域との間に配設された低不純物濃度のn型半導体領域5Lとで形成される。半導体領域5Lはゲート電極4Nに対して自己整合で形成される。半導体領域5Hはゲート電極4N及びその側壁に配設されたゲート側壁7に対して自己整合で形成される。

#### 【0032】

このように構成されるnチャネルMISFET Qnにおいては、低抵抗化を図るために、ゲート電極4Nにシリサイド電極8Gが、主電極5にシリサイド電極8Mがそれぞれ電気的に接続される。シリサイド電極8Gは、図1及び図3(A)に示すように、ゲート電極4Nの第2領域4n上に形成される。シリサイド電極8Gは、ゲート電極4Nの第2領域4nのシリサイド化、詳細には主電極5上のシリサイド電極8Mと同一製造工程で行われるサリサイド化により形成され、第2領域4nの少なくとも一部分をシリサイド化することにより形成される。本実施の形態において、シリサイド電極8Gは $CoSi_y$ 膜で形成される。なお、シリサイド電極8Gには他に $TiSi_y$ 膜が実用的に使用できる。シリサイド電極8Mは、図1に示すように、主電極5、詳細には高不純物濃度の半導体領域5H上に形成され、半導体領域5Hのシリサイド化(サリサイド化)により形成される。シリサイド電極8Mは、シリサイド電極8Gと基本的には同一製造工程で同一導電層に形成されるので、シリサイド電極8Gと同様に $CoSi_y$ 膜で形成される。

#### 【0033】

一方、相補型MISFETのpチャネルMISFET Qpは、図1及び図2に示すように、

素子分離領域2で周囲を囲まれた領域内においてn型ウェル領域1Nの主面に形成される。このpチャネルMISFET Q<sub>P</sub>はチャネル形成領域として使用されるn型ウェル領域1N、ゲート絶縁膜3、ゲート電極（制御電極）4P、ソース電極、ドレイン電極のそれぞれとして使用される一対の主電極6を備える。

## 【0034】

n型ウェル領域1Nは、p型ウェル領域1Pとは別の領域において半導体基板1の主面部に形成され、比較的低い不純物濃度に設定される。

## 【0035】

図3（B）はpチャネルMISFET Q<sub>P</sub>の詳細な要部断面構造図である。pチャネルMISFET Q<sub>P</sub>のゲート絶縁膜3は、nチャネルMISFET Q<sub>n</sub>のゲート電極3と同一製造工程で同一絶縁層に形成され、例えばSiO<sub>2</sub>膜で形成される。

## 【0036】

nチャネルMISFET Q<sub>n</sub>のゲート電極4Nと同様にpチャネルMISFET Q<sub>P</sub>のゲート電極4Pは、ゲート絶縁膜3側にこのゲート絶縁膜3に接して形成された下層の第1領域4gと、ゲート絶縁膜3とは離間され第1領域4g上に形成された上層の第2領域4pとを備えて形成される。第1領域4gは本実施の形態においてSi<sub>1-x</sub>Ge<sub>x</sub>で形成された領域であり、第2領域4pはSiで形成された領域である。デュアルゲート構造により、pチャネルMISFET Q<sub>P</sub>のゲート電極4Pにはp型不純物がドーピングされる。p型不純物にはBが実用的に使用できる。

## 【0037】

図1に示すように、pチャネルMISFET Q<sub>P</sub>はエクステンデッドソース・ドレン構造で形成され、主電極6は、高不純物濃度のp型半導体領域6Hと、この半導体領域6Hとチャネル形成領域との間に配設された低不純物濃度のp型半導体領域6Lとで形成される。半導体領域6Lはゲート電極4Pに対して自己整合で形成される。半導体領域6Hはゲート電極4P及びその側壁に配設されたゲート側壁7に対して自己整合で形成される。

## 【0038】

このように構成されるpチャネルMISFET Q<sub>P</sub>においては、nチャネルMISFET Q<sub>n</sub>と同様に低抵抗化を図るために、ゲート電極4Pにシリサイド電極8Gが、主電

極6にシリサイド電極8Mがそれぞれ電気的に接続される。シリサイド電極8Gは、図1及び図3(A)に示すように、ゲート電極4Pの第2領域4p上に形成される。シリサイド電極8Gは、ゲート電極4Pの第2領域4pのシリサイド化により形成され、第2領域4pの少なくとも一部分をシリサイド化(シリサイド化)することにより形成される。シリサイド電極8Mは、図1に示すように、主電極6の高不純物濃度の半導体領域6H上に形成され、半導体領域6Hのシリサイド化(シリサイド化)により形成される。シリサイド電極8G、シリサイド電極8Mはいずれも $\text{CoSi}_y$ 膜で形成される。

#### 【0039】

図4はゲート電極4N、4Pのそれぞれの表面(シリサイド化前の表面)からの深さ( $\mu\text{m}$ )とSiGe組成比との関係を示す図である。本実施の形態において、ゲート電極4N、4Pはいずれも $0.15\mu\text{m}$ の膜厚で形成される。第1領域4gの厚さは $0.05\mu\text{m}$ に設定され、第1領域4gのSiの組成比は0.84に、Geの組成比は0.16にそれぞれ設定される。すなわち、第1領域4gは $\text{Si}_{0.86}\text{Ge}_{0.16}$ で形成される。第2領域4n、4pのそれぞれの厚さは $0.10\mu\text{m}$ に設定され、第2領域4n、4pのそれぞれのSiの組成比は1.0に設定される。

#### 【0040】

図5はnチャネルMISFETQnのゲート電極4Nの表面(シリサイド化前の表面)からの深さ( $\mu\text{m}$ )とSiGe組成比とAs濃度との関係を示す図である。同図5に示すn型不純物(ドナー)としてのAs濃度分布は、主電極5の高不純物濃度の半導体領域5Hを形成するためのAsをイオン注入により同一製造工程でゲート電極4Nにドーピングした後に、主電極5の活性化アニールを行った場合のAs濃度分布である。図中、実線は本実施の形態に係るSiGeで形成された第1領域4gを有するゲート電極4NのAs濃度を示し、破線はSiゲート電極のAs濃度を示す。Siゲート電極においては、Asの拡散速度が遅いために、ゲート電極表面側からドーピングされたAsがゲート絶縁膜近傍に充分に拡散されていないので、ゲート絶縁膜近傍のAs濃度が低下してしまう。このようなAs濃度の低下はゲートバイアス印加時にゲート絶縁膜近傍において空乏層化を生じ、MOSFETの閾値電圧の制御性を悪化させたり、MOSFETの動作速度を低下させてしまう。

## 【0041】

これに対して、本実施の形態に係るnチャネルMISFET Q<sub>n</sub>においては、ゲート電極4 Nのゲート絶縁膜3近傍にSiGeで形成した第1領域4 gを配設しており、Geの添加でゲート絶縁膜3近傍のAsの拡散速度を促進させることができるので、第1領域4 gの全域にわたってすなわちゲート絶縁膜3近傍の全域にわたって充分なAs濃度を確保することができる。Si<sub>0.86</sub>Ge<sub>0.16</sub>中におけるAsの拡散係数は、1000℃の温度環境下において、Si中のAsの拡散係数に比べて2.5倍程度大きくなる。Geの組成比の上昇に伴うAsの拡散係数の増加に関しては、例えばA.Nylandsted, S.Yu.Shiryaev, P.Gaiduk, and V.S.Tishkov, Nucl.Instru.Method.B120 161-164(1996)に述べられている。なお、図5に示すAs濃度分布はSi中とSi<sub>0.86</sub>Ge<sub>0.16</sub>中とのAs偏析係数を1とした場合を示す。従って、ゲート電極4 Nにおいて、第1領域4 gはSiゲート電極の場合に形成される空乏層化される領域よりも基本的に厚く形成される必要がある。Siゲート電極の場合、通常、5nmの膜厚のゲート絶縁膜に対してゲート電極中に0.5nmの厚さで空乏層が発生するので、第1領域4 gの厚さは少なくとも2nm以上に設定されることが好ましい。さらに、第1領域4 gのGeの組成比は充分にAsの拡散係数を高めるために0.1以上に設定されることが好ましい。

## 【0042】

ゲート電極4 Nの第2領域4 nには図1及び図3(A)に示すようにシリサイド電極8 Gが形成されており、第2領域4 nは図4及び図5に示すように少なくともその上側の一部をシリサイド電極8 Gを形成するためのシリサイド化(又はサリサイド化)領域として使用する。すなわち、シリサイド化は第2領域4 nの範囲内で行われ、シリサイド層8 Gには抵抗値を増加してしまうGe(又はC)が実質的に含まれない。例えば40nmの膜厚のCoSi<sub>2</sub>膜でシリサイド電極8 Gを形成する場合、1nmの膜厚のCoに対して3.63nmの膜厚のSiが反応し、3.49nmの膜厚のCoSi<sub>2</sub>膜が生成されるので、41.6nmの膜厚のSiが必要になる。本実施の形態に係るゲート電極4 Nにおいては、シリサイド化によりSiが消費される41.6nm以上の膜厚を有する第2領域4 nが第1領域4 g上に形成される。例えば、Z.Wang, Y.L.Chen, H.Ying, R.J.Nemanich, and D.E.Sayers, Mat.Res.Soc.Symp.Proc.Vol.320, 39

7-402(1994)にはSiを含むシリサイド層に比べてSi及びGeを含むシリサイド層において抵抗値が高くなることが述べられている。

#### 【0043】

図6はpチャネルMISFET Q<sub>p</sub>のゲート電極4 Pの表面（シリサイド化前の表面）からの深さ（μm）とSiGe組成比とB濃度との関係を示す図である。同図6に示すp型不純物（アクセプター）としてのB濃度分布は、主電極6の高不純物濃度の半導体領域6 Hを形成するためのBF<sub>2</sub>をイオン注入により同一製造工程でゲート電極4 Pにドーピングした後に、主電極6の活性化アニールを行った場合のB濃度分布である。図中、実線は本実施の形態に係るSiGeで形成された第1領域4 gを有するゲート電極4 PのB濃度を示し、破線はSiゲート電極のB濃度を示す。Siゲート電極においては、Bの拡散速度がAsの拡散速度に比べて速く、しかもドーピングされたBF<sub>2</sub>のFがゲート絶縁膜中でのBの拡散を助長してしまうために、ゲート電極にドーピングされたBがチャネル形成領域に漏れてしまう。このようなB漏れはMOSFETの閾値電圧の制御性を悪化させてしまう。

#### 【0044】

これに対して、本実施の形態に係るpチャネルMISFET Q<sub>p</sub>においては、ゲート電極4 Pのゲート絶縁膜3近傍にSiGeで形成した第1領域4 gを配設しており、Geの添加でゲート絶縁膜3近傍のBの拡散速度を減速させることができるので、ゲート電極4 Pからゲート絶縁膜3を通してチャネル形成領域にB漏れ（Bのゲート絶縁膜3の突き抜け）を生じることがない。Si<sub>0.86</sub>Ge<sub>0.16</sub>中におけるBの拡散係数は、1000°Cの温度環境下において、Si中のBの拡散係数に比べて0.5~0.1倍程度に小さくなるので、Bのゲート絶縁膜3中への拡散量を減少させ、チャネル形成領域へのBの突き抜けを効果的に抑制することができる。このGeの組成比の上昇に伴うBの拡散係数の減少に関しては、例えばP.Kuo,J.L.Hoyt, and J.F.Gibbons, Appl.Phys.Lett.66 580-582(1995)に述べられている。なお、図6に示すB濃度分布はSi中とSi<sub>0.86</sub>Ge<sub>0.16</sub>中でのB偏析係数を1とした場合を示す。従って、ゲート電極4 Pにおいて、第1領域4 gはSiゲート電極の場合に発生するB漏れを防止する厚さで形成される必要があり、本実施の形態において第1領域4 gの厚さは少なくとも2nm以上に設定され、第1領域4 gのGeの組成比は0.1以上に設

定される。

#### 【0045】

前述のnチャネルMISFETQ nのゲート電極4 Nと同様に、ゲート電極4 Pの第2領域4 pには図1及び図3（B）に示すようにシリサイド電極8 Gが形成されており、第2領域4 pは図4及び図6に示すように少なくともその上側の一部をシリサイド電極8 Gを形成するためのシリサイド化領域として使用する。すなわち、シリサイド化は第2領域4 pの範囲内で行われ、シリサイド層8 Gには抵抗値を増加してしまうGe（又はC）が実質的に含まれない。ゲート電極4 Pにおいては、シリサイド化によりSiが消費される41.6nm以上の膜厚を有する第2領域4 pが第1領域4 g上に形成される。

#### 【0046】

図1に示すように、nチャネルMISFETQ nの主電極5には、シリサイド電極8 M、コンタクトプラグ電極（埋込み電極）12のそれぞれを介在して配線15が電気的に接続される。同様に、pチャネルMISFETQ pの主電極6には、シリサイド電極8 M、コンタクトプラグ電極12のそれぞれを介在して配線15が電気的に接続される。

#### 【0047】

コンタクトプラグ電極12は、nチャネルMISFETQ n、pチャネルMISFETQ pのそれぞれを覆う層間絶縁膜10に形成された接続孔11内に埋設され、nチャネルMISFETQ n、pチャネルMISFETQ pのそれぞれにおいて同一導電層に配設され同一導電性材料で形成される。本実施の形態において、コンタクトプラグ電極12は、Ti膜12A及びこのTi膜12A上に積層したW膜12Bの複合膜で形成される。層間絶縁膜10は例えば $\text{Si}_3\text{N}_4$ 膜10A及びBPSG膜10Bの複合膜で形成される。

#### 【0048】

配線15はコンタクトプラグ電極12を覆う層間絶縁膜13上に形成され、この層間絶縁膜13に形成された接続孔14を通して配線15とコンタクトプラグ電極12との間が接続される。配線15は、nチャネルMISFETQ n、pチャネルMISFETQ pのそれぞれにおいて同一導電層に配設され同一導電性材料で形成される

。本実施の形態において、配線15はTi膜、TiN膜、AlCu膜、Ti膜、TiN膜のそれぞれを順次重ね合わせた複合膜で形成される。層間絶縁膜13は例えば $\text{Si}_3\text{N}_4$ 膜13Å及びTEOS膜13Åの複合膜で形成される。

#### 【0049】

なお、図1には示していないが、図2に接続孔11の領域を示すように、nチャネルMISFETQnのゲート電極4N、pチャネルMISFETQpのゲート電極4Pのそれぞれにも前述のシリサイド層8G、コンタクトプラグ電極12のそれぞれを介在して配線15が電気的に接続される。

#### 【0050】

##### <製造プロセス>

次に、前述のMISFETを備えた半導体集積回路の製造プロセスを説明する。図7乃至図19は製造プロセスを各製造工程毎に示す半導体集積回路の工程断面図である。

#### 【0051】

(1) まず、単結晶Siからなる低不純物濃度のp型半導体基板1を準備する。そして、nチャネルMISFETQnの形成領域において半導体基板1の主面部にp型ウェル領域1Pを形成し、pチャネルMISFETQpの形成領域において半導体基板1の主面部にn型ウェル領域1Nを形成する(図7参照)。

#### 【0052】

(2) MISFET間を含む素子形成領域間において半導体基板1に溝を形成し、この溝に絶縁体を埋設することにより素子分離領域2を形成する(図7参照)。溝は好ましくは異方性エッティングで半導体基板1表面から深さ方向にエッティングを行うことにより形成する。絶縁体にはCVD法又はスパッタリング法で成膜した $\text{SiO}_2$ 膜を実用的に使用することができ、成膜後にエッチバック法、ケミカルメカニカルポリッシング(CMP)法等により $\text{SiO}_2$ 膜の表面には平坦化処理がなされる。

#### 【0053】

なお、素子分離領域2はnチャネルMISFETQn、pチャネルMISFETQp等の半導体素子を形成した後に形成してもよい。また、素子分離領域2はフィールド酸化膜を主体として形成してもよい。

## 【0054】

(3) 図7に示すように、nチャネルMISFET Q<sub>n</sub>、pチャネルMISFET Q<sub>p</sub>のそれぞれの形成領域において、半導体基板1の主面上にゲート絶縁膜3を形成する。本実施の形態においてゲート絶縁膜3には酸化性雰囲気中で半導体基板1表面を加熱する熱酸化法で形成したSiO<sub>2</sub>膜が使用される。ゲート絶縁膜3の膜厚は、必要とする閾値電圧値により適宜設定できるが、本実施の形態においては2.5nmで形成される。なお、詳細な説明は省略するが、ゲート絶縁膜3の形成前に閾値電圧を調節するためのドーバントをチャネル形成領域にドーピングしてあることが好ましい。

## 【0055】

(4) 図8に示すように、ゲート絶縁膜3上を含む半導体基板1全面にゲート電極形成層4①を形成する。本実施の形態において、ゲート電極形成層4①はシリコン(Si<sub>2</sub>H<sub>6</sub>)ガスとゲルマン(GeH<sub>4</sub>)ガスとの混合ガスをソースガスとするCVD法で成膜される。このCVD法においては、Si<sub>2</sub>H<sub>6</sub>ガスとGeH<sub>4</sub>ガスのそれぞれのガス分圧及び成膜温度を適宜制御することにより、ゲート電極形成層4①は、ゲート絶縁膜3からの距離に応じてGeの組成比を任意に変化させ、Si<sub>1-x</sub>Ge<sub>x</sub>からなる第1領域4g、Siからなる第2領域4mのそれぞれを有するゲート電極形成層4①を形成することができる。この時点において第2領域4mはn型不純物、p型不純物のいずれもドーピングされていない状態にある。

## 【0056】

第1領域4gは、Si<sub>2</sub>H<sub>6</sub>ガスの流量が5sccm、GeH<sub>4</sub>ガスの流量が1sccm、成膜圧力が1.3×10<sup>2</sup>Pa、成膜温度が500℃、成膜時間が10分間の条件において成膜される。この条件下において、第1領域4gは前述の図4に示すようにGeの組成比が0.16のSi<sub>0.86</sub>Ge<sub>0.16</sub>で形成することができ、第1領域4gの厚さは0.05μmになる。第2領域4mは、第1領域4gに引き続き連続的に成膜され、Si<sub>2</sub>H<sub>6</sub>ガスの流量、成膜圧力、成膜温度のそれぞれの条件はいずれも変えずにGeH<sub>4</sub>ガスの流量を0sccm、成膜時間を28分間にそれぞれ調節する。この条件下において、第2領域4mはGeの組成比が0でSiの組成比が1.0すなわち実質的にGeを含まないSiを成膜することができる。第2領域4mは0.10μmの膜厚で成膜される。本実施の形

態においては、 $\text{GeH}_4$ ガスの流量が1sccmから急減に0sccmに変化させてているので、図4に示すようにGeの組成比はゲート絶縁膜3から0.05μmの距離において急速に減少する。第2領域4mにおいては、少なくともシリサイド化(salicide)によりシリサイド電極8Gの形成に消費される部分が少なくともGeの組成比を0に設定してあればよい。

#### 【0057】

なお、第1領域4gは $\text{SiH}_4$ ガスと $\text{Ge}_2\text{H}_6$ ガスとの混合ガスをソースガスとするCVD法で形成することもできる。さらに、第1領域4gはMBE(Molecular Beam Epitaxy)法で形成することもできる。

#### 【0058】

(5) 図9に示すように、ゲート電極形成層40にパターンニングを行い、nチャネルMISFET Qn、pチャネルMISFET Qpのそれぞれの形成領域にゲート電極4を形成する。ゲート電極4のゲート幅寸法及びゲート長寸法は製作するMISFETサイズや電気特性に応じて任意に決定される。パターンニングは、フォトリソグラフィ技術で形成されたマスクを使用し、RIE等の異方性エッチングで行われる。

#### 【0059】

(6) 図10に示すように、ゲート電極4の表面を覆う絶縁膜4Aを形成する。絶縁膜4Aには例えば熱酸化法で成膜された $\text{SiO}_2$ 膜やCVD法で成膜された $\text{SiO}_2$ 膜が実用的に使用できる。

#### 【0060】

(7) 次に、エクステンデッドソース・ドレインプロセスを開始する。まず、図11に示すように、nチャネルMISFET Qnの形成領域においてソース電極及びドレイン電極として使用する一対の主電極5を形成するために、低不純物濃度のn型半導体領域5Lを形成する。半導体領域5Lは、ゲート電極4、素子分離領域2及びpチャネルMISFET Qpの形成領域を覆うマスク20を耐不純物注入マスクとして使用し、イオン注入法によりp型ウェル領域1Pの主面部にn型不純物をドーピングすることにより形成される。マスク20にはフォトリソグラフィ技術で形成されたレジストマスクが使用される。n型不純物には拡散速度が遅くシャロ

一化に好適なAsが使用される。Asに対してイオン注入法における注入エネルギー量は10~50keV、ドーザ量は $10^{14} \sim 10^{15}$ atoms/cm<sup>2</sup>に設定することが一般的であるが、本実施の形態においてAsの注入エネルギー量は15keV、ドーザ量は $10^{14}$ atoms/cm<sup>2</sup>の条件が使用される。

## 【0061】

(8) 図12に示すように、pチャネルMISFETQ pの形成領域においてソース電極及びドレイン電極として使用する一対の主電極6を形成するために、低不純物濃度のp型半導体領域6 Lを形成する。半導体領域6 Lは、ゲート電極4、素子分離領域2及びnチャネルMISFETQ nの形成領域を覆うマスク21を耐不純物注入マスクとして使用し、イオン注入法によりn型ウェル領域1 Nの主面部にp型不純物をドーピングすることにより形成される。マスク21にはマスク20と同様にフォトリソグラフィ技術で形成されたレジストマスクが使用される。p型不純物にはイオン注入分布を浅くすることができシャロー化に好適なBF<sub>2</sub>が使用される。本実施の形態においてBF<sub>2</sub>の注入エネルギー量は10keV、ドーザ量は $10^{14}$ atoms/cm<sup>2</sup>の条件が使用される。また、p型不純物にはBイオンやB分子イオンが実用的に使用できる。

## 【0062】

なお、前述のAs、BF<sub>2</sub>のそれぞれのイオン注入後には、イオン注入に伴う半導体基板1表面のダメージの回復や不純物の活性化を目的としてアニールを行うことが好ましい。

## 【0063】

(9) 図13に示すように、nチャネルMISFETQ n、pチャネルMISFETQ pのそれぞれの形成領域においてゲート電極4の側壁に絶縁膜4 Aを介してゲート側壁7を形成する。ゲート側壁7は本実施の形態においてSi<sub>3</sub>N<sub>4</sub>膜で形成される。ゲート側壁7は、例えば低圧CVD法、スパッタ法等の成膜技術で半導体基板1上の全面に形成されたSi<sub>3</sub>N<sub>4</sub>膜に成膜した膜厚分に相当するRIE等の異方性エッチングを行うことにより形成される。

## 【0064】

(10) 図14に示すように、nチャネルMISFETQ nの形成領域において一対の

主電極5を形成するために、高低不純物濃度のn型半導体領域5Hを形成する。半導体領域5Hは、ゲート電極4、ゲート側壁7、素子分離領域2及びpチャネルMISFETQ pの形成領域を覆うマスク22を耐不純物注入マスクとして使用し、イオン注入法によりp型ウェル領域1Pの主面部にn型不純物をドーピングすることにより形成される。本実施の形態に係る相補型MISFETはデュアルゲート電極構造を採用するので、n型不純物はゲート電極4にもドーピングされ、それぞれn型不純物がドーピングされた第1領域4g及び第2領域4nを有するゲート電極4Nが形成される。マスク22にはフォトリソグラフィ技術で形成されたレジストマスクが使用される。n型不純物には拡散速度が遅くシャロー化に好適なAsが使用される。本実施の形態においてAsの注入エネルギー量は50keV、ドーズ量は $3 \times 10^{15}$ atoms/cm<sup>2</sup>の条件が使用される。

#### 【0065】

(11) 図15に示すように、pチャネルMISFETQ pの形成領域において一対の主電極6を形成するために、高低不純物濃度のp型半導体領域6Hを形成する。半導体領域6Hは、ゲート電極4、ゲート側壁7、素子分離領域2及びnチャネルMISFETQ nの形成領域を覆うマスク23を耐不純物注入マスクとして使用し、イオン注入法によりn型ウェル領域1Nの主面部にp型不純物をドーピングすることにより形成される。デュアルゲート電極構造を採用するので、p型不純物はゲート電極4にもドーピングされ、それぞれp型不純物がドーピングされた第1領域4g及び第2領域4pを有するゲート電極4Pが形成される。マスク23にはフォトリソグラフィ技術で形成されたレジストマスクが使用される。p型不純物にはイオン注入分布を浅くすることができシャロー化に好適なBF<sub>2</sub>が使用される。本実施の形態においてBF<sub>2</sub>の注入エネルギー量は40keV、ドーズ量は $3 \times 10^{15}$ atoms/cm<sup>2</sup>の条件が使用される。

#### 【0066】

(12) アニールを行い、イオン注入された不純物の活性化を行う。本実施の形態において、アニールは、RTA (Rapid Thermal Annealing) 法で行われ、N<sub>2</sub>ガス雰囲気中、1000℃の温度で10秒間行われる。このアニールにより、半導体領域5L及び5Hからなる主電極5が形成され、nチャネルMISFETQ nがほぼ完成する

。本実施の形態において、nチャネルMISFETQ nのチャネル形成領域のアクセプター濃度は $10^{17} \sim 10^{18}$ atoms/cm<sup>3</sup>程度、主電極5のドナー濃度は $10^{19} \sim 10^{21}$ atoms/cm<sup>3</sup>程度、主電極5の接合深さは50~200nm程度で形成される。nチャネルMISFETQ nのゲート電極4 Nはデュアルゲート電極構造でn型に設定され、nチャネルMISFETQ nは表面チャネル型になるので、nチャネルMISFETQ nは短チャネル効果の抑制及び動作速度の高速化に好適で微細化を実現することができる。同様に、アニールにより、半導体領域6 L及び6 Hからなる主電極6が形成され、pチャネルMISFETQ pがほぼ完成する。pチャネルMISFETQ pのチャネル形成領域のドナー濃度は $10^{17} \sim 10^{18}$ atoms/cm<sup>3</sup>程度、主電極6のアクセプター濃度は $10^{19} \sim 10^{21}$ atoms/cm<sup>3</sup>程度、主電極5の接合深さは50~200nm程度で形成される。pチャネルMISFETQ pのゲート電極4 Pはデュアルゲート電極構造でp型に設定され、pチャネルMISFETQ pは表面チャネル型になるので、pチャネルMISFETQ pは短チャネル効果の抑制及び動作速度の高速化に好適で微細化を実現することができる。

#### 【0067】

(13) 図16に示すように、nチャネルMISFETQ nのゲート電極4 N上にシリサイド電極8 G、主電極5上にシリサイド電極8 M、pチャネルMISFETQ pのゲート電極4 P上にシリサイド電極8 G、主電極6上にシリサイド電極8 Mのそれを同一製造工程で形成する。本実施の形態においてシリサイド電極8 G、8 Mのそれぞれはシリサイド化によるCoSi<sub>y</sub>膜で形成される。CoSi<sub>y</sub>膜は、まずゲート電極4 N上、4 P上、主電極5上、6上上のそれに存在する絶縁膜を除去し、ゲート電極4 Nの第2領域4 n、ゲート電極4 Pの第2領域4 p、主電極5の半導体領域5 H、主電極6の半導体領域6 Hのそれぞれの表面を露出させる。引き続き、半導体基板1上の全面にCo膜、キャップ層としてのTiN膜を順次成膜する。Co膜、TiN膜はいずれも例えばスパッタリング法で成膜し、Co膜は例えば11.5nmの膜厚で形成される。このCo膜は非酸化性雰囲気中、500℃の温度で60秒間のアニールを行った後、TiN膜及び未反応のCo膜を除去し、引き続き750℃の温度で30秒間のアニールを行う2段階アニール法によりシリサイド化され、40nmの膜厚を有するシリサイド電極8 G、8 Mのそれぞれを形成することができる。2段階アニール法は、CoSiからCoSi<sub>2</sub>への相転移を目的として、さらに1回目のアニ

ル直後に未反応のCo膜を除去してゲート側壁7上におけるシリサイド電極8Gと8Mとの間のブリッジングの防止を目的として行われる。いずれのアニールもRTA法で行われ、前述の未反応のCo膜の除去には例えば硫酸と過酸化水素水との混合溶液が実用的に使用できる。

#### 【0068】

前述のように、nチャネルMISFETQnにおいて、シリサイド電極8GはGeを含まないSiで形成された第2領域4nの一部を第2領域4nの範囲内でシリサイド化することにより形成されるので、シリサイド電極8GにはGeが含まれない。同様に、pチャネルMISFETQpにおいて、シリサイド電極8GはGeを含まないSiで形成された第2領域4pの一部を第2領域4pの範囲内でシリサイド化することにより形成されるので、シリサイド電極8GにはGeが含まれない。従って、シリサイド電極8Gの抵抗値を減少させることができる。しかも、相補型MISFETにおいては、nチャネルMISFETQnの第1領域4g及び第2領域4nを有するゲート電極4N、pチャネルMISFETQpの第1領域4g及び第2領域4pを有するゲート電極4Pのそれぞれが同一製造工程で形成することができる。

#### 【0069】

(14) 図17に示すように、半導体基板1上の全面に層間絶縁膜10を形成する。層間絶縁膜10は、本実施の形態において、スパッタリング法で成膜された $\text{Si}_3\text{N}_4$ 膜10A、CVD法で成膜されたBPSG膜10Bのそれぞれを順次積層することにより形成される。層間絶縁膜10の表面はケミカルメカニカルポリッシング法により平坦化される。

#### 【0070】

(15) nチャネルMISFETQnのシリサイド電極8G上、8M上、pチャネルMISFETQpのシリサイド電極8G上、8M上において層間絶縁膜10に接続孔11を形成し、図18に示すように接続孔11内にコンタクトプラグ電極12を埋設する。コンタクトプラグ電極12は、本実施の形態においてスパッタリング法で成膜されたTi膜12A、選択CVD法で成膜されたW膜12Bのそれぞれを順次積層し、W膜12Bの表面側からケミカルメカニカルポリッシングで研磨することにより接続孔11内に埋設することができる。

## 【0071】

(16) 図19に示すように、層間絶縁膜10上の全面に層間絶縁膜13を形成する。層間絶縁膜13は、本実施の形態において、スパッタリング法で成膜された $\text{Si}_3\text{N}_4$ 膜13A、プラズマCVD法で成膜されたTEOS膜13Bのそれぞれを順次積層することにより形成される。

## 【0072】

(17) コンタクトプラグ電極12上において層間絶縁膜13に接続孔14を形成し(図1参照)、前述の図1に示すように、層間絶縁膜13上に接続孔14を通してコンタクトプラグ電極12に電気的に接続される配線15を形成する。本実施の形態において、配線15はスパッタリング法によりTi膜、TiN膜、AlCu膜、Ti膜、TiN膜のそれぞれを順次積層した複合膜で形成される。また、配線15はダマシンプロセスで形成されたダマシン配線を使用してもよい。これら一連の製造工程が終了すると、本実施の形態に係る半導体集積回路が完成する。

## 【0073】

このように構成される本実施の形態に係る半導体集積回路においては、pチャネルMISFET Qpのゲート電極4Pのゲート絶縁膜3側に配設された第1領域4gに第2四族元素であるGeが含まれる(又はCが含まれ、第1領域4gはSiGe又はSiCで形成される)ので、第1領域4g中のp型不純物であるBの拡散速度を減少させ、Bのチャネル形成領域側への漏れを防止することができる。従って、pチャネルMISFET Qpの閾値電圧を安定化させることができ、半導体集積回路の電気的信頼性を向上させることができる。さらに、nチャネルMISFET Qnのゲート電極4Nのゲート絶縁膜3側に配設された第1領域4gに第2四族元素であるGeが含まれる(同様に又はCが含まれ、第1領域4gはSiGe又はSiCで形成される)ので、第1領域4g中のn型不純物であるAsの拡散速度を促進し、ゲート電極4Nの全域にわたって特にゲート絶縁膜3近傍でAsの不純物濃度を充分に確保することができる。従って、ゲート電極4N内の空乏層化を防止することができ、nチャネルMISFET Qnの閾値電圧を安定化させることができるので、半導体集積回路の電気的信頼性を向上させることができる。特に、デュアルゲート電極構造の相補型MISFETを備えた半導体集積回路においては、第1及び第2四族元素を含む同一構

造のゲート電極4（下層の第1領域4g及び上層の第2領域4mで形成される。）の使用でpチャネルMISFETQ<sub>p</sub>、nチャネルMISFETQ<sub>n</sub>のそれぞれの閾値電圧を同時に安定化させることができる。この結果、MISFETの微細化を実現することができ、半導体集積回路の集積度を向上させることができる。

## 【0074】

さらに、半導体集積回路においては、pチャネルMISFETQ<sub>p</sub>のゲート電極4Pの実質的に第2四族元素であるGeを含まない第2領域4p、nチャネルMISFETQ<sub>n</sub>のゲート電極4Nの実質的に第2四族元素であるGeを含まない第2領域4nのそれぞれをシリサイド化（サリサイド化）することによりシリサイド電極8Gを形成しているので、シリサイド電極8Gには第2四族元素が含まれない。従って、シリサイド電極8Gの抵抗値を減少させることができ、pチャネルMISFETQ<sub>p</sub>、nチャネルMISFETQ<sub>n</sub>のそれぞれのスイッチング動作速度の高速化並びに低電源電圧化を実現することができ、半導体集積回路の回路動作速度の高速化並びに低消費電力化を実現することができる。

## 【0075】

さらに、半導体集積回路の製造方法においては、ソースガスの調節だけで第2四族元素を実質的に含まない第2領域4pを有するpチャネルMISFETQ<sub>p</sub>のゲート電極4P、第2領域4nを有するnチャネルMISFETQ<sub>n</sub>のゲート電極4Nのそれぞれを形成し、第2領域4p、4nのそれぞれの少なくとも一部をシリサイド化するだけで第2四族元素が実質的に含まれないシリサイド電極8Gを形成することができる。従って、製造工程数を増加することなく、容易にシリサイド電極8Gの抵抗値を減少させることができる。

## 【0076】

さらに、半導体集積回路の製造方法においては、第1領域4g及び第2領域4mを有するゲート電極4を相補型MISFETのそれぞれにおいて同一製造工程で形成し、デュアルゲート電極構造の相補型MISFETを形成することができるので、ゲート電極を相補型MISFETのそれぞれで別々に形成する場合に比べて製造工程数を減少させることができる。

## 【0077】

## (第2の実施の形態)

本実施の形態は、MISFETのゲート電極の四族元素の組成比をゲート絶縁膜からの距離に応じて変化させた構造例を説明するものである。図20、図21はそれぞれ本発明の第2の実施の形態に係るnチャネルMISFET Qnのゲート電極4N、pチャネルMISFET Qpのゲート電極4Pのそれぞれの表面(サリサイド化前の表面)からの深さ( $\mu m$ )とSiGe組成比との関係を示す図である。

## 【0078】

図20に示すゲート電極4N、4Pは第1の実施の形態に係る半導体集積回路と同様にいずれも $0.15\mu m$ の膜厚で形成される。第1領域4gの厚さは $0.05\mu m$ に設定される。第1領域4gのSiの組成比はゲート絶縁膜3側から所定距離まで一定に維持され、さらにゲート絶縁膜3から離れるに従い連続的にかつ緩やかに増加する。ゲート絶縁膜3側においてSiの組成比は0.60、第2領域4n又は4p側においてSiの組成比は1.0に設定される。このSiの組成比の変化に従い、第1領域4gのGeの組成比はゲート絶縁膜3側から離れるに従い連続的にかつ緩やかに減少し、ゲート絶縁膜3側においてGeの組成比は0.40、第2領域4n又は4p側においてGeの組成比は0に設定される。このようなSiGeの組成比が連続的に変化する第1領域4gは、CVD法におけるGeH<sub>4</sub>ガスの流量を徐々に減少させることにより容易に形成することができる。

## 【0079】

図21に示すゲート電極4N、4Pは第1の実施の形態に係る半導体集積回路と同様にいずれも $0.15\mu m$ の膜厚で形成される。第1領域4gの厚さは $0.05\mu m$ に設定される。第1領域4gのSiの組成比はゲート絶縁膜3側から所定距離まで一定に維持され、さらにゲート絶縁膜3から離れると段階的に増加する。ゲート絶縁膜3側においてSiの組成比は0.60、段階的に増加して最終的には第2領域4n又は4p側においてSiの組成比は1.0に設定される。このSiの組成比の変化に従い、第1領域4gのGeの組成比はゲート絶縁膜3側から離れるに従い段階的に減少し、ゲート絶縁膜3側においてGeの組成比は0.40、第2領域4n又は4p側においてGeの組成比は0に設定される。このようなSiGeの組成比が段階的に変化

する第1領域4 gは、CVD法におけるGeH<sub>4</sub>ガスの流量を段階的に減少させることにより容易に形成することができる。

#### 【0080】

なお、本実施の形態においては、ゲート絶縁膜3の直上にSiGeの第1領域4 gを形成しているが、本発明においては、ゲート絶縁膜3と第1領域4 gとの間に第1領域4 gの厚さよりも非常に薄い膜厚、詳細には1nm以下の膜厚でGeを実質的に含まないSi層又はSiを実質的に含まないGe層が形成されていてもよい。このSi層又はGe層が実際に存在していても、ゲート電極4 PにドーピングされたBの拡散は上層の第1領域4 g中で抑制することができ、ゲート電極4 NにドーピングされたAsの拡散は第1領域4 g中で促進させることができる。さらに、ゲート絶縁膜3がSiO<sub>2</sub>膜で形成される場合、Si層は第1領域4 gに含まれたGeによるSiO<sub>2</sub>膜の膜質の劣化を防ぐことができる。さらに、Ge層が形成される場合には、このGe層はゲート電極4 PにドーピングされたBの拡散を抑制することができる。Ge層は特にゲート絶縁膜3を窒化膜で形成する場合に有効である。

#### 【0081】

このように構成される半導体集積回路においては、前述の第1の実施の形態に係る半導体集積回路で得られる効果と同様の効果を得ることができる。

#### 【0082】

##### (第3の実施の形態)

本実施の形態は、MISFETのゲート電極の他の構造例を説明するものである。図22(A)、図22(B)、図22(C)、図22(D)、図22(E)はいずれも本発明の第3の実施の形態に係る半導体集積回路のnチャネルMISFETQ nの詳細な要部断面構造図である。

#### 【0083】

図22(A)に示すnチャネルMISFETQ nはシリサイド電極8 Gを形成した後の構造であり、ゲート電極4 NはSiGeからなる第1領域4 gだけで形成され、このゲート電極4 N上にはシリサイド電極8 Gが形成される。シリサイド電極8 Gの形成前(シリサイド化前)においては破線で示すようにゲート電極4 NにSiからなる第2領域4 nが形成されており、シリサイド電極8 Gはこの第2領域4 n

を丁度すべて消費することにより形成される。従って、シリサイド電極8Gには実質的にGeが含まれないので、第1の実施の形態に係る半導体集積回路と同様にシリサイド電極8Gの抵抗値を減少させることができる。

#### 【0084】

図22(B)に示すnチャネルMISFETQnは同様にシリサイド電極8Gを形成した後の構造である。ゲート電極4Nは、SiGeからなる第1領域4gと、この第1領域4g上の $\text{CoSi}_z\text{Ge}_z$ からなる3元化合物(多元化合物)の第2領域4tとで形成される。シリサイド電極8Gはゲート電極4Nの第2領域4t上に形成される。第2領域4tは、シリサイド化前は前述の第1の実施の形態に係る半導体集積回路のnチャネルMISFETQnと同様にSiからなる第2領域4nであったものが、シリサイド化により下層の第1領域4gのSiGe、上層に形成されたCoのそれぞれと化合し生成されたものである。 $\text{CoSi}_z\text{Ge}_z$ からなる3元化合物は化学的に安定しており、シリサイド電極8GにはGeが実質的に含まれないので、第1の実施の形態に係る半導体集積回路と同様にシリサイド電極8Gの抵抗値を減少させることができる。

#### 【0085】

図22(C)に示すnチャネルMISFETQnは、SiGeからなる第1領域4g、Siからなる第2領域4nのそれぞれを交互に複数積層してゲート電極4Nが形成される。ゲート電極4Nは、基本的にはゲート絶縁膜3側(最下層)に第1領域4gが配設され、ゲート絶縁膜3から離間されシリサイド化される領域(最上層)に第2領域4nが配設されていればよい。シリサイド電極8Gは最上層の第2領域4nの一部をシリサイド化することにより形成されるので、シリサイド電極8GにはGeが実質的に含まれず、シリサイド電極8Gの抵抗値を減少させることができる。

#### 【0086】

図22(D)に示すnチャネルMISFETQnは、図22(A)に示すnチャネルMISFETQnと図22(C)に示すnチャネルMISFETQnとを組み合わせたものである。すなわち、nチャネルMISFETQnのゲート電極4NはSiGeからなる第1領域4g、Siからなる第2領域4n、SiGeからなる第1領域4gのそれぞれを順次積

層して形成され、シリサイド電極8Gは最上層の第1領域4g上に形成される。シリサイド化前においてはゲート電極4Nの最上層はSiからなる第2領域4nであり、シリサイド化によりこの最上層の第2領域4nを丁度すべて消費してシリサイド電極8Gが形成される。従って、シリサイド電極8GにはGeが実質的に含まれないので、シリサイド電極8Gの抵抗値を減少させることができる。

## 【0087】

図22(E)に示すnチャネルMISFETQnは、図22(B)に示すnチャネルMISFETQnと図22(C)に示すnチャネルMISFETQnとを組み合わせたものである。すなわち、nチャネルMISFETQnのゲート電極4NはSiGeからなる第1領域4g、Siからなる第2領域4n、SiGeからなる第1領域4g、 $\text{CoSi}_z\text{Ge}_z$ からなる3元化合物の第2領域4tのそれぞれを順次積層して形成され、シリサイド電極8Gは最上層の第2領域4t上に形成される。このシリサイド電極8GにはGeが実質的に含まれないので、シリサイド電極8Gの抵抗値を減少させることができる。

## 【0088】

なお、図22(A)、図22(B)、図22(C)、図22(D)、図22(E)のそれぞれに示すゲート電極構造はpチャネルMISFETQpにおいても同一構造になる。さらに、第2四族元素であるGeに代えてCが使用できる。

## 【0089】

本実施の形態に係る半導体集積回路においては、前述の第1の実施の形態に係る半導体集積回路で得られる効果と同様の効果を得ることができる。

## 【0090】

## (第4の実施の形態)

本実施の形態は、エレベーテッド電極を有するMISFETを備えた半導体集積回路に本発明を適用した例を説明するものである。

## 【0091】

## &lt;デバイス構造&gt;

図23は本発明の第4の実施の形態に係る半導体集積回路の相補型MISFET部分を示す断面構造図である。図23に示すように、本実施の形態に係る半導体集積

回路は、前述の第1の実施の形態に係る半導体集積回路と同様に、単結晶Siからなる低不純物濃度のp型半導体基板1を主体に構成され、この半導体集積回路には論理回路や記憶回路を構築する相補型MISFETが搭載される。

#### 【0092】

相補型MISFETの基本的な構造は第1の実施の形態に係る半導体集積回路に搭載された相補型MISFETの構造と同一である。すなわち、相補型MISFETのnチャネルMISFETQnは、素子分離領域2で周囲を囲まれた領域内においてp型ウェル領域1Pの正面に形成され、チャネル形成領域として使用されるp型ウェル領域1P、ゲート絶縁膜3、ゲート電極4N、ソース電極、ドレイン電極のそれぞれとして使用される一対の主電極5を備える。

#### 【0093】

p型ウェル領域1Pは、半導体基板1の正面部に形成され、低い不純物濃度に設定される。素子分離領域2は、第1の実施の形態に係る半導体集積回路と同様に、微細化に好適なSTIで形成される。

#### 【0094】

nチャネルMISFETQnのゲート絶縁膜3には例えば5nmの膜厚で形成されたSiO<sub>2</sub>膜が使用される。ゲート電極4Nは、前述の第1の実施の形態に係る半導体集積回路のゲート電極4Nの第1領域4gに相当する領域で、種類が異なる少なくとも2種類の四族元素で全域を形成した領域である。本実施の形態において、ゲート電極4Nは、四族元素であるSiと、このSiとは異なる四族元素であるGeとを有するSi<sub>1-x</sub>Ge<sub>x</sub>で形成される。相補型MISFETはデュアルゲート電極構造を採用しているので、nチャネルMISFETQnのゲート電極4Nにはn型不純物がドーピングされる。n型不純物にはAsが実用的に使用できる。

#### 【0095】

nチャネルMISFETQnはエクステンデッドソース・ドレイン構造で形成され、主電極5は、高不純物濃度のn型半導体領域5Hと、この半導体領域5Hとチャネル形成領域との間に配設された低不純物濃度のn型半導体領域5Lとで形成される。半導体領域5Lはゲート電極4Nに対して自己整合で形成される。半導体領域5Hはゲート電極4N及びその側壁に配設されたゲート側壁7に対して自己

整合で形成される。

#### 【0096】

このように構成されるnチャネルMISFET Qnにおいては、ゲート電極4Nにエレベーテッド電極（エレベーテッドゲート電極）4Eが電気的に接続され、このエレベーテッド電極4Eにはシリサイド電極8Gが電気的に接続されるとともに、シャロー化並びに低抵抗化を図るために主電極5にエレベーテッド電極（エレベーテッドソース電極又はエレベーテッドドレイン電極）5Eが電気的に接続され、このエレベーテッド電極5Eにはシリサイド電極8Mが電気的に接続される。

#### 【0097】

ゲート電極4N上のエレベーテッド電極4Eは、前述の第1の実施の形態に係る半導体集積回路のゲート電極4Nと同様の構造で形成され、ゲート電極4N側にこのゲート電極4Nに接して形成された下層の第1領域4gと、ゲート電極4Nとは離間され第1領域4g上に形成された上層の第2領域4nとを備えて形成される。第1領域4g、第2領域4nはいずれもエピタキヤル成長層で形成される。第1領域4gは、種類が異なる少なくもと2種類の四族元素で形成された領域である。本実施の形態において、第1領域4gは、四族元素であるSiと、このSiとは異なる四族元素であるGeとを有する $Si_{1-x}Ge_x$ で形成された領域である。第2領域4nは1種類の四族元素であるSiで形成された領域である。デュアルゲート電極構造が採用されているので、エレベーテッド電極4Eにはn型不純物であるAsがドーピングされる。

#### 【0098】

シリサイド電極8Gは、エレベーテッド電極4Eの第2領域4n上に形成される。本実施の形態において、シリサイド電極8Gは第2領域4nの上面及び側面に形成される。シリサイド電極8Gは、エレベーテッド電極4Eの第2領域4nのシリサイド化、詳細には主電極5上のシリサイド電極8Mと同一製造工程で行われるシリサイド化により形成され、第2領域4nの少なくとも一部分をシリサイド化することにより形成される。本実施の形態において、シリサイド電極8Gは $CoSi_y$ 膜で形成される。なお、シリサイド電極8Gには他に $TiSi_y$ 膜が実用的に

使用できる。

#### 【0099】

主電極5上上のエレベーテッド電極5Eは、エレベーテッド電極4Eと同様に、主電極5側にこの主電極5に接して形成された下層の第1領域5gと、主電極5とは離間され第1領域5g上に形成された上層の第2領域5nとを備えて形成される。第1領域5g、第2領域5nはいずれもエピタキヤル成長層で形成される。第1領域5gはエレベーテッド電極4Eの第1領域4gと同様に本実施の形態において $\text{Si}_{1-x}\text{Ge}_x$ で形成され、第2領域5nはSiで形成される。エレベーテッド電極5Eにはn型不純物であるAsがドーピングされる。

#### 【0100】

シリサイド電極8Mは、シリサイド電極8Gと同様にエレベーテッド電極5E上に形成され、エレベーテッド電極5Eの第2領域5nの少なくとも一部のシリサイド化（シリサイド化）により形成される。シリサイド電極8Mは、シリサイド電極8Gと基本的には同一製造工程で同一導電層に形成されるので、シリサイド電極8Gと同様に $\text{CoSi}_y$ 膜で形成される。

#### 【0101】

一方、相補型MISFETのpチャネルMISFETQ<sub>p</sub>は、図23に示すように、素子分離領域2で周囲を囲まれた領域内においてn型ウェル領域1Nの正面に形成される。このpチャネルMISFETQ<sub>p</sub>はチャネル形成領域として使用されるn型ウェル領域1N、ゲート絶縁膜3、ゲート電極4P、ソース電極、ドレイン電極のそれぞれとして使用される一対の主電極6を備える。

#### 【0102】

pチャネルMISFETQ<sub>p</sub>のゲート絶縁膜3は、nチャネルMISFETQ<sub>n</sub>のゲート電極3と同一製造工程で同一絶縁層に形成され、例えば $\text{SiO}_2$ 膜で形成される。

#### 【0103】

ゲート電極4Pはゲート電極4Nと同様に $\text{Si}_{1-x}\text{Ge}_x$ で形成され、相補型MISFETにはデュアルゲート電極構造が採用されるので、pチャネルMISFETQ<sub>p</sub>のゲート電極4Pにはp型不純物がドーピングされる。p型不純物には $\text{BF}_2$ が実用的に使用できる。

## 【0104】

pチャネルMISFETQ<sub>P</sub>はエクステンデッドソース・ドレイン構造で形成され、主電極6は、高不純物濃度のp型半導体領域6Hと、この半導体領域6Hとチャネル形成領域との間に配設された低不純物濃度のp型半導体領域6Lとで形成される。半導体領域6Lはゲート電極4Pに対して自己整合で形成される。半導体領域6Hはゲート電極4P及びその側壁に配設されたゲート側壁7に対して自己整合で形成される。

## 【0105】

このように構成されるpチャネルMISFETQ<sub>P</sub>においては、ゲート電極4Pにエレベーテッド電極（エレベーテッドゲート電極）4Eが電気的に接続され、このエレベーテッド電極4Eにはシリサイド電極8Gが電気的に接続されるとともに、シャロー化並びに低抵抗化を図るために主電極6にエレベーテッド電極（エレベーテッドソース電極又はエレベーテッドドレイン電極）6Eが電気的に接続され、このエレベーテッド電極6Eにはシリサイド電極8Mが電気的に接続される。

## 【0106】

ゲート電極4P上のエレベーテッド電極4Eは、ゲート電極4N上のエレベーテッド電極4Eと同様の構造で形成され、ゲート電極4P側にこのゲート電極4Pに接して形成された下層の第1領域4gと、ゲート電極4Pとは離間され第1領域4g上に形成された上層の第2領域4pとを備えて形成される。第1領域4g、第2領域4pはいずれもエピタキシャル成長層で形成される。第1領域4gは本実施の形態において $Si_{1-x}Ge_x$ で形成され、第2領域4pはSiで形成されたる。デュアルゲート電極構造が採用されているので、エレベーテッド電極4Eにはp型不純物であるBF<sub>2</sub>がドーピングされる。

## 【0107】

シリサイド電極8Gは、エレベーテッド電極4Eの第2領域4p上に形成される。本実施の形態において、シリサイド電極8Gは第2領域4pの上面及び側面に形成される。シリサイド電極8Gは、エレベーテッド電極4Eの第2領域4pのシリサイド化（サリサイド化）により形成され、第2領域4pの少なくとも一

部分をシリサイド化することにより形成される。本実施の形態において、シリサイド電極8Gは、nチャネルMISFETQ nのシリサイド電極8Gと同一製造工程で同一導電層に形成されるので、 $\text{CoSi}_y$ 膜で形成される。

#### 【0108】

主電極6上のエレベーテッド電極6Eは、エレベーテッド電極5Eと同様に、主電極6側にこの主電極6に接して形成された下層の第1領域6gと、主電極6とは離間され第1領域6g上に形成された上層の第2領域6pとを備えて形成される。第1領域6g、第2領域6pはいずれもエピタキヤル成長層で形成される。第1領域6gはエレベーテッド電極5Eの第1領域5gと同様に本実施の形態において $\text{Si}_{1-x}\text{Ge}_x$ で形成され、第2領域6pはSiで形成される。エレベーテッド電極6Eにはp型不純物である $\text{BF}_2$ がドーピングされる。

#### 【0109】

シリサイド電極8Mは、シリサイド電極8Gと同様にエレベーテッド電極6E上に形成され、エレベーテッド電極6Eの第2領域6pの少なくとも一部のシリサイド化（サリサイド化）により形成される。シリサイド電極8Mは、シリサイド電極8Gと基本的には同一製造工程で同一導電層に形成されるので、シリサイド電極8Gと同様に $\text{CoSi}_y$ 膜で形成される。

#### 【0110】

図24、図25はいずれもエレベーテッド電極5E、6Eのそれぞれの表面（サリサイド化前の表面）からの深さ（nm）とSiGe組成比との関係を示す図である。図24に示すエレベーテッド電極5E、6Eのそれぞれは51.6nmの膜厚で形成される。第1領域5g、6gはそれぞれ10nmの膜厚で形成され、第1領域5g、6gのそれぞれのSiの組成比は0.84に、Geの組成比は0.16に設定される。すなわち、第1領域5g、6gはいずれも $\text{Si}_{0.86}\text{Ge}_{0.16}$ で形成される。Geの組成比は0.1以上に設定されることが好ましい。第2領域5n、6pのそれぞれの厚さは、前述の第1の実施の形態に係る半導体集積回路のシリサイド電極8Mと同様に40nmの膜厚の $\text{CoSi}_y$ 膜で形成されるので、シリサイド化での消費を考慮して41.6nmに設定される。図24に示す第2領域5n、6pは、いずれもすべてのSiをシリサイド電極8Mに消費されるものとして膜厚を設定しているが、Si領域を残して

おく場合には41.6nmを越える膜厚で形成する。

#### 【0111】

また、図25に示すエレベーテッド電極5E、6Eのそれぞれは、前述の第2の実施の形態に係る半導体集積回路のゲート電極4N、4Pのそれぞれと同様に、第1領域5gのGeの組成比を主電極5からの距離に応じて連続的に減少させ、第1領域6gのGeの組成比を主電極6からの距離に応じて連続的に減少させた場合を示す。すなわち、第1領域5gにおいては、主電極5から厚さ3nmまでのGeの組成比が0.4に設定され、さらに主電極5から離れるに従いGeの組成比は連続的に減少される。第1領域5gのSiの組成比はこのGeの減少に従い増加する。同様に、第1領域6gにおいては、主電極6から厚さ3nmまでのGeの組成比が0.4に設定され、さらに主電極6から離れるに従いGeの組成比は連続的に減少される。第1領域6gのSiの組成比はこのGeの減少に従い増加する。

#### 【0112】

なお、詳細に説明しないが、エレベーテッド電極5E及び6Eを形成する工程と同一製造工程においてnチャネルMISFET Qnのゲート電極4N上にエレベーテッド電極4Eが、pチャネルMISFET Qpのゲート電極4P上にエレベーテッド電極4Eがそれぞれ形成されるので、このエレベーテッド電極4Eの構造はエレベーテッド電極5E、6Eのそれぞれの構造と実質的に同一になる。

#### 【0113】

エレベーテッド電極5Eは基本的に主電極5の接合深さを浅くしてシャロー化を実現することができ、同様にエレベーテッド電極6Eは主電極6の接合深さを浅くしてシャロー化を実現することができる。図24又は図25に示すように、特にpチャネルMISFET Qpのエレベーテッド電極6Eの主電極6側に $Si_{0.86}Ge_{0.14}$ からなる第1領域6gを配設することにより、主電極6の高不純物濃度のp型半導体領域6Hを形成するためにエレベーテッド電極6Eにドーピングされるp型不純物例えばBの拡散速度を減少させることができるので、より一層主電極6のシャロー化を実現することができる。第1領域6g中、すなわち $Si_{0.86}Ge_{0.14}$ 中におけるBの拡散係数は、第1の実施の形態に係る半導体集積回路において説明したように、1000°Cの温度環境下において、Si中のBの拡散係数に比べて0.5~0.

1倍程度に小さくなる。

#### 【0114】

さらに、SiGe中でのBの活性濃度はSiでのBの活性濃度に比べて高くなり、エレベーテッド電極6E中のホール濃度がSi中のホール濃度に比べて大きくなるので、主電極6のp型半導体領域6Hの拡散層抵抗をより一層減少させることができるのである。

#### 【0115】

さらに、エレベーテッド電極5Eの第2領域5n、エレベーテッド電極6Eの第2領域6pはいずれもSiで形成されているので、シリサイド化（サリサイド化）により形成されたシリサイド電極8Mには実質的にGeが含まれない。従って、前述の第1の実施の形態に係る半導体集積回路で説明したように、シリサイド電極8Mの抵抗値を減少させることができる。

#### 【0116】

さらに、SiGeの場合にはエネルギーギャップがSiのエネルギーギャップに比べて高くなるが、これは主にSiGeの伝導帯のレベルがSiの伝導帯のレベルに比べて高くなるためである。本実施の形態においてエレベーテッド電極5Eの第1領域5g、エレベーテッド電極6Eの第1領域6gのそれぞれには $Si_{0.86}Ge_{0.16}$ が使用され、第2領域5n、6pのそれぞれのSiがすべて消費されシリサイド電極8Mが形成された場合には、第1領域5g、6gのそれぞれの $Si_{0.86}Ge_{0.16}$ とシリサイド電極8Mの $CoSi_2$ とのショットキー接合が形成される。このショットキー接合の障壁高さはSiと $CoSi_2$ とのショットキー接合の障壁高さに比べて0.1~0.2eV程度小さくなる。従って、エレベーテッド電極5Eとシリサイド電極8Mとの間の接続抵抗、エレベーテッド電極6Eとシリサイド電極8Mとの接続抵抗のいずれも減少させることができる。

#### 【0117】

そして、nチャネルMISFETQnのゲート電極4N、pチャネルMISFETQpのゲート電極4Pのそれぞれにはエレベーテッド電極4Eが形成され、このエレベーテッド電極4Eは前述の第1の実施の形態に係る半導体集積回路のnチャネルMISFETQnのゲート電極4N、pチャネルMISFETQpのゲート電極4Pのそれぞれと実

質的に同一構造で形成されるので、第1の実施の形態に係る半導体集積回路で得られる効果と同様の効果を得ることができる。すなわち、nチャネルMISFETQ<sub>n</sub>においては、ゲート電極4Nの空乏層化を防止することができ、閾値電圧の安定化を実現することができる。特に、エレベーテッド電極構造を採用するnチャネルMISFETQ<sub>n</sub>においては、ゲート電極4N上にエレベーテッド電極4Eが形成され、デュアルゲート電極構造を形成するためのn型不純物の実効的な拡散距離が長くなってしまう。本実施の形態においてはゲート電極4N自体をSiGeで形成しているので、ゲート絶縁膜3近傍を含むゲート電極4N全域に充分にn型不純物を拡散させることができる。pチャネルMISFETQ<sub>p</sub>においては、ゲート電極4Pからチャネル形成領域へのp型不純物の漏れを防止することができ、閾値電圧の安定化を実現することができる。

#### 【0118】

図23に示すように、nチャネルMISFETQ<sub>n</sub>の主電極5には、エレベーテッド電極4E、シリサイド電極8M、コンタクトプラグ電極12のそれぞれを介在して配線15が電気的に接続される。同様に、pチャネルMISFETQ<sub>p</sub>の主電極6には、エレベーテッド電極6E、シリサイド電極8M、コンタクトプラグ電極12のそれぞれを介在して配線15が電気的に接続される。

#### 【0119】

なお、図23には示していないが、nチャネルMISFETQ<sub>n</sub>のゲート電極4Nにはエレベーテッド電極4E、シリサイド層8G、コンタクトプラグ電極12のそれぞれを介在して配線15が電気的に接続される。pチャネルMISFETQ<sub>p</sub>のゲート電極4Pにはエレベーテッド電極4E、シリサイド層8G、コンタクトプラグ電極12のそれぞれを介在して配線15が電気的に接続される。

#### 【0120】

##### <製造プロセス>

次に、前述のMISFETを備えた半導体集積回路の製造プロセスを説明する。図26乃至図32は製造プロセスを各製造工程毎に示す半導体集積回路の工程断面図である。

## 【0121】

(1) まず、単結晶Siからなる低不純物濃度のp型半導体基板1を準備する。そして、nチャネルMISFETQ nの形成領域において半導体基板1の主面部にp型ウェル領域1Pを形成し、pチャネルMISFETQ pの形成領域において半導体基板1の主面部にn型ウェル領域1Nを形成する(図26参照)。

## 【0122】

(2) 前述の第1の実施の形態に係る半導体集積回路の製造プロセスと同様に、MISFET間を含む素子形成領域間に素子分離領域2を形成する(図26参照)。

## 【0123】

(3) 図26に示すように、nチャネルMISFETQ n、pチャネルMISFETQ pのそれぞれの形成領域において、半導体基板1の主面上にゲート絶縁膜3を形成する。本実施の形態においてゲート絶縁膜3には酸化性雰囲気中で半導体基板1表面を加熱する熱酸化法で形成した $\text{SiO}_2$ 膜が使用される。ゲート絶縁膜3の膜厚は、必要とする閾値電圧値により適宜設定できるが、本実施の形態においては5nmで形成される。なお、詳細な説明は省略するが、ゲート絶縁膜3の形成前に閾値電圧を調節するためのドーパントをチャネル形成領域にドーピングしてあることが好ましい。

## 【0124】

(4) 図27に示すように、nチャネルMISFETQ n、pチャネルMISFETQ pのそれぞれの形成領域においてゲート絶縁膜3上にゲート電極4を形成する。本実施の形態において、ゲート電極4は $\text{Si}_2\text{H}_6$ ガスと $\text{GeH}_4$ ガスとの混合ガスをソースガスとするCVD法で成膜される。このCVD法においては、 $\text{Si}_2\text{H}_6$ ガスと $\text{GeH}_4$ ガスのそれぞれのガス分圧及び成膜温度を適正に制御することにより、ゲート電極4はゲート絶縁膜3からの距離に応じてGeの組成比を任意に変化させることができる。ゲート電極4は例えば $0.15 \mu\text{m}$ の膜厚で形成され、本実施の形態においてゲート電極4上にはエレベーテッド電極4Eが形成されるので、ゲート電極4の全域が $\text{Si}_{1-x}\text{Ge}_x$ で形成される。第1の実施の形態に係る半導体集積回路におけるゲート電極4N、4Pのそれぞれの第1領域4gと同様に、ゲート電極4は、 $\text{Si}_2\text{H}_6$ ガスの流量が5sccm、 $\text{GeH}_4$ ガスの流量が1sccm、成膜圧力が $1.3 \times 10^2 \text{Pa}$ 、成膜温度が50

0°C、成膜時間が38分間の条件において成膜され、この条件下においてゲート電極4はSiの組成比を0.84、Geの組成比を0.16とした $\text{Si}_{0.86}\text{Ge}_{0.16}$ で形成される。ゲート電極4は、成膜後にフォトリソグラフィ技術で形成されたマスクを使用し、RIE等の異方性エッチングでパターンニングされる。この時点において、ゲート電極4にはn型不純物、p型不純物のいずれもドーピングされていない状態にある。

#### 【0125】

なお、ゲート電極4は、第1の実施の形態に係る半導体集積回路の製造プロセスで説明したように、 $\text{SiH}_4$ ガスと $\text{Ge}_2\text{H}_6$ ガスとの混合ガスをソースガスとするCVD法で形成することもできる。さらに、ゲート電極4はMBE法で形成することもできる。さらに、ゲート電極4は、第1の実施の形態に係る半導体集積回路のゲート電極4N、4Pのそれぞれと同一構造、すなわちSiGeからなる第1領域4gとSiからなる第2領域4mとで形成することもできる。

#### 【0126】

ゲート電極4の形成後にはゲート電極4の表面を覆う絶縁膜4Aが形成される。絶縁膜4Aには例えば熱酸化法で成膜された $\text{SiO}_2$ 膜が実用的に使用できる。

#### 【0127】

(5) 次に、エクステンデッドソース・ドレインプロセスを開始する。まず、図28に示すように、nチャネルMISFET Qnの形成領域においてソース電極及びドレイン電極として使用する一対の主電極5を形成するために、低不純物濃度のn型半導体領域5Lを形成し、引き続きpチャネルMISFET Qpの形成領域においてソース電極及びドレイン電極として使用する一対の主電極6を形成するために、低不純物濃度のp型半導体領域6Lを形成する。

#### 【0128】

半導体領域5Lは、ゲート電極4、素子分離領域2及びpチャネルMISFET Qpの形成領域を覆うマスク（前述の図11参照）を耐不純物注入マスクとして使用し、イオン注入法によりp型ウェル領域1Pの主面部にn型不純物をドーピングすることにより形成される。n型不純物には拡散速度が遅くシャロー化に好適なAsが使用される。Asに対してイオン注入法における注入エネルギー量は10～50keV、

ドーズ量は $10^{14} \sim 10^{15}$ atoms/cm<sup>2</sup>に設定することが一般的であるが、本実施の形態においてAsの注入エネルギー量は15keV、ドーズ量は $10^{14}$ atoms/cm<sup>2</sup>の条件が使用される。

#### 【0129】

半導体領域6Lは、ゲート電極4、素子分離領域2及びnチャネルMISFETQnの形成領域を覆うマスク（前述の図12参照）を耐不純物注入マスクとして使用し、イオン注入法によりn型ウェル領域1Nの主面部にp型不純物をドーピングすることにより形成される。p型不純物にはイオン注入分布を浅くすることができシャロー化に好適なBF<sub>2</sub>が使用される。本実施の形態においてBF<sub>2</sub>の注入エネルギー量は10keV、ドーズ量は $10^{14}$ atoms/cm<sup>2</sup>の条件が使用される。また、p型不純物にはBイオンやB分子イオンが実用的に使用できる。

#### 【0130】

前述のAs、BF<sub>2</sub>のそれぞれのイオン注入後には、イオン注入に伴う半導体基板1表面のダメージの回復や不純物の活性化を目的としてアニールを行うことが好ましい。

#### 【0131】

(6) 図29に示すように、nチャネルMISFETQn、pチャネルMISFETQpのそれぞれの形成領域においてゲート電極4の側壁に絶縁膜4Aを介してゲート側壁7を形成する。ゲート側壁7は本実施の形態においてSi<sub>3</sub>N<sub>4</sub>膜で形成される。

#### 【0132】

(7) 図30に示すように、エレベーテッド電極を形成するために、nチャネルMISFETQnの形成領域において半導体領域5L上に第1領域5g、第2領域5mのそれぞれを順次積層し、ゲート電極4上に第1領域4g、第2領域4mのそれを順次積層するとともに、pチャネルMISFETQpの形成領域において半導体領域6L上に第1領域6g、第2領域6mのそれを順次積層し、ゲート電極4上に第1領域4g、第2領域4mのそれを順次積層する。これらの第1領域4g、5g、6g、第2領域4m、5m、6mのそれぞれは本実施の形態においてMBE法で成膜したエピタキヤル成長層で形成される。第1領域4g、5g、6gのそれぞれは、Si<sub>2</sub>H<sub>6</sub>ガスとGeH<sub>4</sub>ガスとの混合ガスをソースガスとして使用

し、前述の図24に示すように $\text{Si}_{0.86}\text{Ge}_{0.16}$ を10nmの膜厚で成長させることにより形成される。勿論、 $\text{Si}_2\text{H}_6$ ガスと $\text{GeH}_4$ ガスのそれぞれのガス分圧及び成長温度を適宜制御することにより、第1領域4g、5g、6gのそれぞれは図25に示すように下地表面からの距離に応じてGeの組成比を任意に変化させることができる。第2領域4m、5m、6mのそれぞれは、第1領域4g、5g、6gのそれぞれの成膜後に引き続き連続的に成膜され、41.6nm又はそれ以上の膜厚のSiで形成される。第2領域4m、5m、6mのそれぞれは $\text{GeH}_4$ ガスの流量を0にし引き続き $\text{Si}_2\text{H}_6$ ガスをソースガスとしてエピタキヤル成長を行うことにより形成することができる。

#### 【0133】

なお、本実施の形態に係るエレベーテッド電極はエピタキヤル成長層させた単結晶のSiGe膜及びSi膜で形成されるが、基本的には単結晶に限定されず、多結晶や非晶質でエレベーテッド電極を形成してもよい。また、エレベーテッド電極のSiGeに代えて、異なる2種類の四族元素で形成されたSiCや異なる3種類の四族元素で形成されたSiGeCを使用することができる。

#### 【0134】

(8) 図31に示すように、nチャネルMISFET Qnの形成領域において一対の主電極5を形成するために、高低不純物濃度のn型半導体領域5Hを形成するとともに、pチャネルMISFET Qpの形成領域において一対の主電極6を形成するために、高低不純物濃度のp型半導体領域6Hを形成する。

#### 【0135】

n型の半導体領域5Hは、主にnチャネルMISFET Qnの形成領域においてエレベーテッド電極5Eとして形成される第1領域5g及び第2領域5mにその内部にピークを持つようにn型不純物がイオン注入によりドーピングされ、このドーピングされたn型不純物をp型ウェル領域1P表面部分に拡散させることにより形成される。本実施の形態に係る相補型MISFETはデュアルゲート電極構造を採用するので、n型不純物はゲート電極4上のエレベーテッド電極4Eとして形成される第1領域4g及び第2領域4mにもドーピングされ、このドーピングされたn型不純物はゲート電極4にも拡散され、n型のゲート電極4Nが形成される。さら

に、第1領域4 g、第2領域4 mのそれぞれにもn型不純物がドーピングされこのn型不純物が活性化されるので、エレベーテッド電極4 Eが形成され、同様に第1領域5 g、第2領域5 mのそれぞれにもn型不純物がドーピングされこのn型不純物が活性化されるので、エレベーテッド電極5 Eが形成される。n型不純物には拡散速度が遅くシャロー化に好適なAsが使用され、本実施の形態においてAsの注入エネルギー量は50keV、ドーズ量は $3 \times 10^{15} \text{ atoms/cm}^2$ の条件が使用される。

#### 【0136】

p型の半導体領域6 Hは、主にpチャネルMISFET Q pの形成領域においてエレベーテッド電極6 Eとして形成される第1領域6 g及び第2領域6 mにその内部にピークを持つようにp型不純物がイオン注入によりドーピングされ、このドーピングされたp型不純物をn型ウェル領域1 N表面部分に拡散させることにより形成される。同様にデュアルゲート電極構造の採用により、p型不純物はゲート電極4上のエレベーテッド電極4 Eとして形成される第1領域4 g及び第2領域4 mにもドーピングされ、このドーピングされたp型不純物はゲート電極4にも拡散され、p型のゲート電極4 Pが形成される。さらに、第1領域4 g、第2領域4 mのそれぞれにもp型不純物がドーピングされこのp型不純物が活性化されるので、エレベーテッド電極4 Eが形成され、同様に第1領域6 g、第2領域6 mのそれぞれにもp型不純物がドーピングされこのp型不純物が活性化されるので、エレベーテッド電極6 Eが形成される。p型不純物にはイオン注入分布を浅くすることができシャロー化に好適なBF<sub>2</sub>が使用され、本実施の形態においてBF<sub>2</sub>の注入エネルギー量は40keV、ドーズ量は $3 \times 10^{15} \text{ atoms/cm}^2$ の条件が使用される。

#### 【0137】

n型不純物、p型不純物の拡散並びに活性化はRTA等のアニールで行われる。アニールは、例えばN<sub>2</sub>ガス雰囲気中、1000℃の温度で10秒間行われる。

#### 【0138】

同図31に示す工程が終了した時点で、半導体領域5 L及び5 Hからなる主電極5が形成され、nチャネルMISFET Q nがほぼ完成する。本実施の形態において、nチャネルMISFET Q nのチャネル形成領域のアクセプター濃度は $10^{17} \sim 10^{18} \text{ atoms/cm}^3$ 程度、主電極5のドナー濃度は $10^{19} \sim 10^{21} \text{ atoms/cm}^3$ 程度、主電極5の接

合深さは50～200nm程度で形成される。nチャネルMISFET Q n のゲート電極4 Nはデュアルゲート電極構造でn型に設定され、nチャネルMISFET Q n は表面チャネル型になるので、nチャネルMISFET Q n は短チャネル効果の抑制及び動作速度の高速化に好適で微細化を実現することができる。同様に、半導体領域6 L及び6 Hからなる主電極6 が形成され、pチャネルMISFET Q p がほぼ完成する。pチャネルMISFET Q p のチャネル形成領域のドナー濃度は $10^{17} \sim 10^{18}$ atoms/cm<sup>3</sup>程度、主電極6 のアクセプター濃度は $10^{19} \sim 10^{21}$ atoms/cm<sup>3</sup>程度、主電極5 の接合深さは50～200nm程度で形成される。pチャネルMISFET Q p のゲート電極4 Pはデュアルゲート電極構造でp型に設定され、pチャネルMISFET Q p は表面チャネル型になるので、pチャネルMISFET Q p は短チャネル効果の抑制及び動作速度の高速化に好適で微細化を実現することができる。

#### 【0139】

なお、n型不純物、p型不純物のそれぞれのイオン注入に際してはエレベーテッド電極4 E、5 E、6 Eのそれぞれの表面のダメージを防止しました汚染を防止するためにバッファ膜として例えばSiO<sub>2</sub>膜を形成することが好ましい。

#### 【0140】

(9) 図32に示すように、nチャネルMISFET Q n のエレベーテッド電極4 E上にシリサイド電極8 G、エレベーテッド電極5 E上にシリサイド電極8 M、pチャネルMISFET Q p のエレベーテッド電極4 E上にシリサイド電極8 G、エレベーテッド電極6 E上にシリサイド電極8 Mのそれぞれを同一製造工程で形成する。本実施の形態においてシリサイド電極8 G、8 Mのそれぞれはサリサイド化によるCoSi<sub>y</sub>膜で形成される。CoSi<sub>y</sub>膜は、まずエレベーテッド電極4 E、5 E、6 Eのそれぞれの表面を露出させた後、これらの表面上含む半導体基板1上の全面にCo膜、キャップ層としてのTiN膜を順次成膜する。Co膜、TiN膜はいずれも例えばスパッタリング法で成膜し、Co膜は例えば11.5nmの膜厚で形成される。このCo膜は非酸化性雰囲気中、500℃の温度で60秒間のアニールを行った後、未反応のCo膜を除去し、引き続き750℃の温度で30秒間のアニールを行う2段階アニール法によりシリサイド化され、40nmの膜厚を有するシリサイド電極8 G、8 Mのそれを形成することができる。前述の第1の実施の形態に係る半導体集積回路の

製造プロセスで説明したように、アニールにはRTA法が使用され、前述の未反応のCo膜の除去には例えば硫酸と過酸化水素水との混合溶液が使用される。

#### 【0141】

nチャネルMISFETQ nにおいて、シリサイド電極8 Gはエレベーテッド電極4 EのGeを含まないSiで形成された第2領域4 nの少なくとも一部を第2領域4 nの範囲内でシリサイド化することにより形成されるので、シリサイド電極8 GにはGeが含まれない。さらに、シリサイド電極8 Mはエレベーテッド電極5 EのGeを含まないSiで形成された第2領域5 nの少なくとも一部を第2領域5 nの範囲内でシリサイド化することにより形成されるので、シリサイド電極8 MにはGeが含まれない。同様に、pチャネルMISFETQ pにおいて、シリサイド電極8 Gはエレベーテッド電極4 EのGeを含まないSiで形成された第2領域4 pの少なくとも一部を第2領域4 pの範囲内でシリサイド化することにより形成されるので、シリサイド電極8 GにはGeが含まれない。さらに、シリサイド電極8 Mはエレベーテッド電極6 EのGeを含まないSiで形成された第2領域6 pの少なくとも一部を第2領域6 pの範囲内でシリサイド化することにより形成されるので、シリサイド電極8 MにはGeが含まれない。

#### 【0142】

図32には（図23も同様）エレベーテッド電極4 E、5 E、6 Eのそれぞれの第2領域4 n、4 p、5 n、6 pの一部を残した状態を示しているが、エレベーテッド電極4 Eとシリサイド電極8 Gとの間の接続抵抗、エレベーテッド電極5 Eとシリサイド電極8 Mとの接続抵抗、エレベーテッド電極6 Eとシリサイド電極8 Mとの接続抵抗をいずれも減少させる場合には、前述の図24及び図25で説明したように、第2領域4 n、4 p、5 n、6 pのそれぞれはすべてシリサイド化されることが好ましい。

#### 【0143】

(10) 前述の第1の実施の形態に係る半導体集積回路の製造プロセスと同様に、層間絶縁膜10、接続孔11、コンタクトプラグ電極12、層間絶縁膜13、接続孔14、配線15のそれぞれを順次形成することにより、前述の図23に示す本実施の形態に係る半導体集積回路が完成する。

## 【0144】

このように構成される半導体集積回路においては、前述の第1の実施の形態に係る半導体集積回路で得られる効果に加えて、エピタキシャル成長層すなわちpチャネルMISFET Q p のエレベーテッド電極 6 E の第1領域 6 g に含まれる第2四族元素であるGeによりエレベーテッド電極 6 E 内にドーピングされたp型不純物であるBの拡散速度を減少させることができる。従って、エレベーテッド電極 6 E から拡散により形成される主電極 6 の高不純物濃度のp型半導体領域 6 H の接合深さを浅くすることができるので、主電極（ソース電極及びドレイン電極） 6 のシャロー化を実現することができ、半導体集積回路の集積度を向上することができる。

## 【0145】

さらに、エレベーテッド電極 6 E 内でのp型不純物の活性濃度がSi中に比べて高くなり、エレベーテッド電極 6 E 内のキャリア濃度を高くすることができる。従って、エレベーテッド電極 6 E の低抵抗化並びに低電源電圧化を実現し、半導体集積回路の回路動作速度の高速化並びに低消費電力化を実現することができる。

## 【0146】

さらに、シリサイド電極 8 G、8 M のそれぞれに第2四族元素であるGeが実質的に含まれないことでシリサイド電極 8 G、8 M のそれぞれの抵抗値を減少させることができ、nチャネルMISFET Q n、pチャネルMISFET Q p のそれぞれのスイッチング動作速度の高速化並びに低電源電圧化を実現することができる。従って、半導体集積回路の回路動作速度の高速化並びに低消費電力化を実現することができる。

## 【0147】

さらに、主電極 5 上のエレベーテッド電極 5 E の第2領域 5 n をすべて消費しシリサイド電極 8 M を形成した場合には、エレベーテッド電極 5 E のSiGeからなる第1領域 5 g とシリサイド電極 8 Mとの間のエネルギーギャップを減少させ、ショットキー障壁の高さを減少させることができるので、エレベーテッド電極 5 E とシリサイド電極 8 Mとの間の接触抵抗値を減少させることができる。同様に、

主電極6上上のエレベーテッド電極6Eの第2領域6Pをすべて消費しシリサイド電極8Mを形成した場合には、エレベーテッド電極6EのSiGeからなる第1領域5gとシリサイド電極8Mとの間のエネルギーギャップを減少させ、ショットキー障壁の高さを減少させることができるので、エレベーテッド電極6Eとシリサイド電極8Mとの間の接触抵抗値を減少させることができる。従って、半導体集積回路の回路動作速度の高速化並びに低消費電力化を実現することができる。

## 【0148】

## (第5の実施の形態)

本実施の形態は、前述の第4の実施の形態に係るエレベーテッド電極を有するMISFETを備えた半導体集積回路の変形例を説明するものである。

## 【0149】

## &lt;デバイス構造&gt;

図33は本発明の第5の実施の形態に係る半導体集積回路の相補型MISFET部分を示す断面構造図である。図33に示す本実施の形態に係る半導体集積回路のnチャネルMISFETQnにおいては、前述の第4の実施の形態に係る半導体集積回路のnチャネルMISFETQnと基本的には同一構造で形成されるが、ゲート電極4N上のエレベーテッド電極4Eの上面にのみシリサイド電極8Gが形成される。エレベーテッド電極4Eの側面、特に第1領域4gの側面はゲート側壁7により覆われる。同様に、pチャネルMISFETQpにおいては、ゲート電極4P上のエレベーテッド電極4Eの上面にのみシリサイド電極8Gが形成され、エレベーテッド電極4Eの側面はゲート側壁7により覆われる。すなわち、シリサイド電極8Gは、エレベーテッド電極4EのSiGeで形成された第1領域4gをシリサイド化することなく、第2領域4n又は4pのSiの消費のみで形成される。従って、シリサイド電極8GにはGeが実質的に含まれないので、シリサイド電極8Gの抵抗値を減少させることができる。

## 【0150】

## &lt;製造プロセス&gt;

次に、前述のMISFETを備えた半導体集積回路の製造プロセスを説明する。図34乃至図41は製造プロセスを各製造工程毎に示す半導体集積回路の工程断面図

である。

#### 【0151】

(1) まず、単結晶Siからなる低不純物濃度のp型半導体基板1を準備する。そして、nチャネルMISFETQ<sub>n</sub>の形成領域において半導体基板1の主面部にp型ウェル領域1Pを形成し、pチャネルMISFETQ<sub>p</sub>の形成領域において半導体基板1の主面部にn型ウェル領域1Nを形成する(図34参照)。

#### 【0152】

(2) 前述の第1の実施の形態に係る半導体集積回路の製造プロセスと同様に、MISFET間を含む素子形成領域間に素子分離領域2を形成する(図34参照)。

#### 【0153】

(3) 図34に示すように、nチャネルMISFETQ<sub>n</sub>、pチャネルMISFETQ<sub>p</sub>のそれぞれの形成領域において、半導体基板1の主面上にゲート絶縁膜3を形成する。本実施の形態においてゲート絶縁膜3には酸化性雰囲気中で半導体基板1表面を加熱する熱酸化法で形成したSiO<sub>2</sub>膜が使用される。ゲート絶縁膜3の膜厚は、必要とする閾値電圧値により適宜設定できるが、本実施の形態においては5nmで形成される。なお、詳細な説明は省略するが、ゲート絶縁膜3の形成前に閾値電圧を調節するためのドーパントをチャネル形成領域にドーピングしてあることが好ましい。

#### 【0154】

(4) 図35に示すように、nチャネルMISFETQ<sub>n</sub>、pチャネルMISFETQ<sub>p</sub>のそれぞれの形成領域においてゲート絶縁膜3上にゲート電極4を形成するとともに、ゲート電極4上にダミー電極膜25を形成する。

#### 【0155】

本実施の形態において、ゲート電極4は、前述の第4の実施の形態に係る半導体集積回路の製造プロセスと同様に、Si<sub>2</sub>H<sub>6</sub>ガスとGeH<sub>4</sub>ガスとの混合ガスをソースガスとするCVD法で成膜される。このCVD法においては、Si<sub>2</sub>H<sub>6</sub>ガスとGeH<sub>4</sub>ガスのそれぞれのガス分圧及び成膜温度を適宜制御することにより、ゲート電極4はゲート絶縁膜3からの距離に応じてGeの組成比を任意に変化させることができる。ゲート電極4は例えば0.15μmの膜厚で形成され、本実施の形態においてゲー

ト電極4上にはエレベーテッド電極4Eが形成されるので、ゲート電極4の全域が $\text{Si}_{1-x}\text{Ge}_x$ で形成される。ゲート電極4は、 $\text{Si}_2\text{H}_6$ ガスの流量が5sccm、 $\text{GeH}_4$ ガスの流量が1sccm、成膜圧力が $1.3 \times 10^2 \text{ Pa}$ 、成膜温度が500°C、成膜時間が38分間の条件において成膜され、この条件下においてゲート電極4はSiの組成比を0.84、Geの組成比を0.16とした $\text{Si}_{0.86}\text{Ge}_{0.16}$ で形成される。ゲート電極4は、ダミー電極膜25とともにフォトリソグラフィ技術で形成されたマスクを使用し、RIE等の異方性エッチングでパターンニングされる。この時点において、ゲート電極4はn型不純物、p型不純物のいずれもドーピングされていない状態にある。

#### 【0156】

ダミー電極膜25は、エレベーテッド電極4Eの側面をゲート側壁7で被覆できるように、エレベーテッド電極4Eと同等の膜厚で形成される。本実施の形態において、ダミー電極膜25にはCVD法、スパッタリング法等で成膜された $\text{Si}_3\text{N}_4$ 膜が使用され、この $\text{Si}_3\text{N}_4$ 膜は50nmの膜厚で形成される。ダミー電極膜25には $\text{Si}_3\text{N}_4$ 膜に限定されず $\text{SiO}_2$ 膜を使用することができるダミー電極膜25は基本的にはゲート側壁7に対して選択的な除去ができる材料で形成されていればよい。

#### 【0157】

ゲート電極4の形成後にはゲート電極4の表面を覆う絶縁膜4Aが形成される。絶縁膜4Aには例えば熱酸化法で成膜された $\text{SiO}_2$ 膜が実用的に使用できる。

#### 【0158】

(5) 次に、エクステンデッドソース・ドレインプロセスを開始する。まず、図36に示すように、nチャネルMISFETQnの形成領域においてソース電極及びドレイン電極として使用する一対の主電極5を形成するために、低不純物濃度のn型半導体領域5Lを形成し、引き続きpチャネルMISFETQpの形成領域においてソース電極及びドレイン電極として使用する一対の主電極6を形成するために、低不純物濃度のp型半導体領域6Lを形成する。

#### 【0159】

半導体領域5Lは、ダミー電極膜25、素子分離領域2及びpチャネルMISFETQpの形成領域を覆うマスク（前述の図11参照）を耐不純物注入マスクとして使用し、イオン注入法によりp型ウェル領域1Pの主面部にn型不純物をドーピン

グすることにより形成される。n型不純物には拡散速度が遅くシャロー化に好適なAsが使用される。Asに対してイオン注入法における注入エネルギー量は10~50keV、ドーズ量は $10^{14} \sim 10^{15}$ atoms/cm<sup>2</sup>に設定することが一般的であるが、本実施の形態においてAsの注入エネルギー量は15keV、ドーズ量は $10^{14}$ atoms/cm<sup>2</sup>の条件が使用される。

#### 【0160】

半導体領域6Lは、ダミー電極膜25、素子分離領域2及びnチャネルMISFETQnの形成領域を覆うマスク（前述の図12参照）を耐不純物注入マスクとして使用し、イオン注入法によりn型ウェル領域1Nの主面部にp型不純物をドーピングすることにより形成される。p型不純物にはイオン注入分布を浅くすることができシャロー化に好適なBF<sub>2</sub>が使用される。本実施の形態においてBF<sub>2</sub>の注入エネルギー量は10keV、ドーズ量は $10^{14}$ atoms/cm<sup>2</sup>の条件が使用される。また、p型不純物にはBイオンやB分子イオンが実用的に使用できる。

#### 【0161】

前述のAs、BF<sub>2</sub>のそれぞれのイオン注入後には、イオン注入に伴う半導体基板1表面のダメージの回復や不純物の活性化を目的としてアニールを行うことが好ましい。

#### 【0162】

(6) 図37に示すように、nチャネルMISFETQn、pチャネルMISFETQpのそれぞれの形成領域においてゲート電極4の側壁に絶縁膜4Aを介して及びダミー電極膜25の側壁にゲート側壁7を形成する。ゲート側壁7は、本実施の形態において、ダミー電極膜25との間でエッティング選択比を有するSiO<sub>2</sub>膜で形成される。SiO<sub>2</sub>膜はCVD法、スパッタリング法等により成膜され、成膜後にRIE等の異方性エッティングにより平坦部分のSiO<sub>2</sub>膜を除去することによりゲート側壁7を形成することができる。

#### 【0163】

(7) 図38に示すように、ゲート電極4上のダミー電極膜25を選択的に除去する。ダミー電極膜25の除去には例えばホット燐酸が実用的に使用できる。ダミー電極膜25の除去により、ゲート電極4上には、エレベーテッド電極8Gを

収納しあつこのエレベーテッド電極8 Gの側面を覆うための、ゲート側壁7で周囲を囲まれたくぼみ4 Dが形成される。

## 【0164】

(8) 前述の第4の実施の形態に係る半導体集積回路の製造プロセスと同様に、図39に示すように、エレベーテッド電極を形成するために、nチャネルMISFET Q<sub>n</sub>の形成領域において半導体領域5 L上に第1領域5 g、第2領域5 mのそれぞれを順次積層し、ゲート電極4上に第1領域4 g、第2領域4 mのそれぞれを順次積層するとともに、pチャネルMISFET Q<sub>p</sub>の形成領域において半導体領域6 L上に第1領域6 g、第2領域6 mのそれぞれを順次積層し、ゲート電極4上に第1領域4 g、第2領域4 mのそれぞれを順次積層する。これらの第1領域4 g、5 g、6 g、第2領域4 m、5 m、6 mのそれぞれは本実施の形態においてMBE法で成膜したエピタキシャル成長層で形成される。第1領域4 g、5 g、6 gのそれぞれは、Si<sub>2</sub>H<sub>6</sub>ガスとGeH<sub>4</sub>ガスとの混合ガスをソースガスとして使用し、Si<sub>0.86</sub>Ge<sub>0.16</sub>を10nmの膜厚で成長させることにより形成される。第2領域4 m、5 m、6 mのそれぞれは、第1領域4 g、5 g、6 gのそれぞれの成膜後に引き続き連続的に成膜され、41.6nm又はそれ以上の膜厚のSiで形成される。第2領域4 m、5 m、6 mのそれぞれはGeH<sub>4</sub>ガスの流量を0にし引き続きSi<sub>2</sub>H<sub>6</sub>ガスをソースガスとしてエピタキシャル成長を行うことにより形成することができる。ゲート電極4上に形成された第1領域4 g、第2領域4 mのそれぞれは前述の図38に示すくぼみ4 D内に形成され、第1領域4 g、第2領域4 mのそれぞれの側面はゲート側壁7で覆われる。

## 【0165】

(9) 図40に示すように、nチャネルMISFET Q<sub>n</sub>の形成領域において一对の主電極5を形成するために、高低不純物濃度のn型半導体領域5 Hを形成するとともに、pチャネルMISFET Q<sub>p</sub>の形成領域において一对の主電極6を形成するために、高低不純物濃度のp型半導体領域6 Hを形成する。

## 【0166】

n型の半導体領域5 Hは、主にnチャネルMISFET Q<sub>n</sub>の形成領域においてエレベーテッド電極5 Eとして形成される第1領域5 g及び第2領域5 mにその内部に

ピークを持つようにn型不純物がイオン注入によりドーピングされ、このドーピングされたn型不純物をp型ウェル領域1P表面部分に拡散させることにより形成される。本実施の形態に係る相補型MISFETはデュアルゲート電極構造を採用するので、n型不純物はゲート電極4上上のエレベーテッド電極4Eとして形成される第1領域4g及び第2領域4mにもドーピングされ、このドーピングされたn型不純物はゲート電極4にも拡散され、n型のゲート電極4Nが形成される。さらに、第1領域4g、第2領域4mのそれぞれにもn型不純物がドーピングされこのn型不純物が活性化されるので、エレベーテッド電極4Eが形成され、同様に第1領域5g、第2領域5mのそれぞれにもn型不純物がドーピングされこのn型不純物が活性化されるので、エレベーテッド電極5Eが形成される。n型不純物には拡散速度が遅くシャロー化に好適なAsが使用され、本実施の形態においてAsの注入エネルギー量は50keV、ドーズ量は $3 \times 10^{15}$ atoms/cm<sup>2</sup>の条件が使用される。

#### 【0167】

p型の半導体領域6Hは、主にpチャネルMISFETQpの形成領域においてエレベーテッド電極6Eとして形成される第1領域6g及び第2領域6mにその内部にピークを持つようにp型不純物がイオン注入によりドーピングされ、このドーピングされたp型不純物をn型ウェル領域1N表面部分に拡散させることにより形成される。同様にデュアルゲート電極構造の採用により、p型不純物はゲート電極4上上のエレベーテッド電極4Eとして形成される第1領域4g及び第2領域4mにもドーピングされ、このドーピングされたp型不純物はゲート電極4にも拡散され、p型のゲート電極4Pが形成される。さらに、第1領域4g、第2領域4mのそれぞれにもp型不純物がドーピングされこのp型不純物が活性化されるので、エレベーテッド電極4Eが形成され、同様に第1領域6g、第2領域6mのそれぞれにもp型不純物がドーピングされこのp型不純物が活性化されるので、エレベーテッド電極6Eが形成される。p型不純物にはイオン注入分布を浅くすることができシャロー化に好適なBF<sub>2</sub>が使用され、本実施の形態においてBF<sub>2</sub>の注入エネルギー量は40keV、ドーズ量は $3 \times 10^{15}$ atoms/cm<sup>2</sup>の条件が使用される。

#### 【0168】

n型不純物、p型不純物の拡散並びに活性化はRTA等のアニールで行われる。ア

ニールは、例えば $N_2$ ガス雰囲気中、1000°Cの温度で10秒間行われる。

#### 【0169】

同図40に示す工程が終了した時点で、半導体領域5L及び5Hからなる主電極5が形成され、nチャネルMISFETQnがほぼ完成する。本実施の形態において、nチャネルMISFETQnのチャネル形成領域のアクセプター濃度は $10^{17} \sim 10^{18}$ atoms/cm<sup>3</sup>程度、主電極5のドナー濃度は $10^{19} \sim 10^{21}$ atoms/cm<sup>3</sup>程度、主電極5の接合深さは50～200nm程度で形成される。nチャネルMISFETQnのゲート電極4Nはデュアルゲート電極構造でn型に設定され、nチャネルMISFETQnは表面チャネル型になるので、nチャネルMISFETQnは短チャネル効果の抑制及び動作速度の高速化に好適で微細化を実現することができる。同様に、半導体領域6L及び6Hからなる主電極6が形成され、pチャネルMISFETQpがほぼ完成する。pチャネルMISFETQpのチャネル形成領域のドナー濃度は $10^{17} \sim 10^{18}$ atoms/cm<sup>3</sup>程度、主電極6のアクセプター濃度は $10^{19} \sim 10^{21}$ atoms/cm<sup>3</sup>程度、主電極5の接合深さは50～200nm程度で形成される。pチャネルMISFETQpのゲート電極4Pはデュアルゲート電極構造でp型に設定され、pチャネルMISFETQpは表面チャネル型になるので、pチャネルMISFETQpは短チャネル効果の抑制及び動作速度の高速化に好適で微細化を実現することができる。

#### 【0170】

なお、n型不純物、p型不純物のそれぞれのイオン注入に際してはエレベーテッド電極4E、5E、6Eのそれぞれの表面のダメージを防止しまた汚染を防止するためバッファ膜として例えば $SiO_2$ 膜を形成することが好ましい。

#### 【0171】

(10) 図41に示すように、nチャネルMISFETQnのエレベーテッド電極4E上にシリサイド電極8G、エレベーテッド電極5E上にシリサイド電極8M、pチャネルMISFETQpのエレベーテッド電極4E上にシリサイド電極8G、エレベーテッド電極6E上にシリサイド電極8Mのそれぞれを同一製造工程で形成する。本実施の形態においてシリサイド電極8G、8Mのそれぞれはシリサイド化による $CoSi_y$ 膜で形成される。 $CoSi_y$ 膜は、まずエレベーテッド電極4E、5E、6Eのそれぞれの表面を露出させた後、これらの表面上含む半導体基板1上の全面

にCo膜、キャップ層としてのTiN膜を順次成膜する。Co膜、TiN膜はいずれも例えばスパッタリング法で成膜し、Co膜は例えば12nmの膜厚で形成される。このCo膜は非酸化性雰囲気中、500°Cの温度で60秒間のアニールを行った後、未反応のCo膜を除去し、引き続き750°Cの温度で30秒間のアニールを行う2段階アニール法によりシリサイド化され、40nmの膜厚を有するシリサイド電極8G、8Mのそれを形成することができる。前述の第1の実施の形態に係る半導体集積回路の製造プロセスで説明したように、アニールにはRTA法が使用され、前述の未反応のCo膜の除去には例えば硫酸と過酸化水素水との混合溶液が使用される。

### 【0172】

nチャネルMISFET Qnにおいて、シリサイド電極8Gはエレベーテッド電極4EのGeを含まないSiで形成された第2領域4nの少なくとも一部を第2領域4nの範囲内でシリサイド化することにより形成されるので、シリサイド電極8GにはGeが含まれない。特に、エレベーテッド電極4Eの第1領域4gの側面はシリサイド化の際にゲート側壁7で覆われているので、シリサイド電極8Gには第1領域4gのGeは含まれることがない。さらに、シリサイド電極8Mはエレベーテッド電極5EのGeを含まないSiで形成された第2領域5nの少なくとも一部を第2領域5nの範囲内でシリサイド化することにより形成されるので、シリサイド電極8MにはGeが含まれない。同様に、pチャネルMISFET Qpにおいて、シリサイド電極8Gはエレベーテッド電極4EのGeを含まないSiで形成された第2領域4pの少なくとも一部を第2領域4pの範囲内でシリサイド化することにより形成されるので、シリサイド電極8GにはGeが含まれない。特に、エレベーテッド電極4Eの第1領域4gの側面はシリサイド化の際にゲート側壁7で覆われているので、シリサイド電極8Gには第1領域4gのGeは含まれることがない。さらに、シリサイド電極8Mはエレベーテッド電極6EのGeを含まないSiで形成された第2領域6pnの少なくとも一部を第2領域6pnの範囲内でシリサイド化することにより形成されるので、シリサイド電極8MにはGeが含まれない。

### 【0173】

なお、前述の第4の実施の形態に係る半導体集積回路の製造プロセスで説明したように、図41には（図33も同様）エレベーテッド電極4E、5E、6Eの

それぞれの第2領域4n、4p、5n、6pは一部を残した状態を示しているが、エレベーテッド電極4Eとシリサイド電極8Gとの間の接続抵抗、エレベーテッド電極5Eとシリサイド電極8Mとの接続抵抗、エレベーテッド電極6Eとシリサイド電極8Mとの接続抵抗をいずれも減少させる場合には、第2領域4n、4p、5n、6pのそれぞれはすべてシリサイド化されることが好ましい。

#### 【0174】

(11) 前述の第1の実施の形態に係る半導体集積回路の製造プロセスと同様に、層間絶縁膜10、接続孔11、コンタクトプラグ電極12、層間絶縁膜13、接続孔14、配線15のそれぞれを順次形成することにより、前述の図33に示す本実施の形態に係る半導体集積回路が完成する。

#### 【0175】

このように構成される半導体集積回路においては、前述の第4の実施の形態に係る半導体集積回路で得られる効果に加えて、エレベーテッド電極4EのSiGeで形成された第1領域4gの側面がゲート側壁7で覆われた状態でシリサイド化によりシリサイド電極8Gが形成されるので、シリサイド電極8Gにはより一層Geが含まれない。従って、シリサイド電極8Gの抵抗値を減少させることができる。

#### 【0176】

なお、本発明は前述の実施の形態に限定されない。例えば、本発明は、半導体領域で形成されたエミッタ電極（主電極）上にエピタキシャル成長層で形成されたエレベーテッドエミッタ電極を形成するバイポーラトランジスタを備えた半導体集積回路に適用することができる。さらに、本発明は、半導体領域で形成されたアノード電極又はカソード電極（主電極）上にエピタキシャル成長層で形成されたエレベーテッドアノード電極又はエレベーテッドカソード電極を形成するダイオード素子を備えた半導体集積回路に適用することができる。

#### 【0177】

##### 【発明の効果】

本発明は、第1に、ゲート電極にドーピングされた不純物のチャネル領域側への漏れを防止することにより、安定した閾値電圧を得ることができ、電気的信頼

性を向上させることができるMISFETを備えた半導体集積回路を提供することができる。

#### 【0178】

本発明は、第2に、ゲート電極にドーピングされた不純物の濃度を全域にわたって充分に確保し、ゲート電極の空乏層化を防止することにより、安定した閾値電圧を得ることができ、電気的信頼性を向上させることができるMISFETを備えた半導体集積回路を提供することができる。

#### 【0179】

本発明は、第3に、第1並びに第2の効果を同時に得ることができる半導体集積回路を提供することができる。特に、本発明は、相補型MISFETのいずれのチャネル導電型のMISFETにおいても安定した閾値電圧を得ることができ、電気的信頼性を向上させることができる半導体集積回路を提供することができる。

#### 【0180】

本発明は、第4に、第1乃至第3の効果の少なくともいずれか1つの効果を得ることができ、さらにMISFETの微細化を図り、集積度を向上させることができる半導体集積回路を提供することができる。

#### 【0181】

本発明は、第5に、第1乃至第3の効果の少なくともいずれか1つの効果を得ることができ、さらにMISFETのスイッチング動作速度の高速化並びに低電源電圧化を実現することができ、回路動作速度の高速化並びに低消費電力化を実現することができる半導体集積回路を提供することができる。特に本発明は、MISFETのゲート電極に備えたシリサイド電極の抵抗値を減少させることにより、MISFETのスイッチング動作速度の高速化並びに低電源電圧化を実現することができ、回路動作速度の高速化並びに低消費電力化を実現することができる半導体集積回路を提供することができる。

#### 【0182】

本発明は、第6に、第1乃至第5の効果の少なくともいずれか1つの効果を得ることができ、さらに製造工程数を低減させることができる半導体集積回路の製造方法を提供することができる。特に、本発明は、相補型MISFETの製造工程数を

低減させることができる半導体集積回路の製造方法を提供することができる。

【0183】

本発明は、第7に、エレベーテッド電極を備えたMISFETのソース電極及びドレイン電極（主電極）のシャロー化を図り、MISFETの微細化を実現することにより、集積度を向上させることができる半導体集積回路を提供することができる。

【0184】

本発明は、第8に、第7の効果を得ることができ、さらにエレベーテッド電極の低抵抗化並びに低電源電圧化を実現し、回路動作速度の高速化並びに低消費電力化を実現することができる半導体集積回路を提供することができる。

【0185】

本発明は、第9に、第7又は第8の効果を得ることができ、さらにエレベーテッド電極とシリサイド電極との接触抵抗値を減少させ、回路動作速度の高速化並びに低消費電力化を実現することができる半導体集積回路を提供することができる。

【0186】

本発明は、第10に、第7乃至第9の効果を得ることができ、さらに製造工程数を低減させることができる半導体集積回路の製造方法を提供することができる。

【0187】

本発明は、第11に、第1乃至第10の効果の少なくとも2以上の効果を同時に得ることができる半導体集積回路又は半導体集積回路の製造方法を提供することができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態に係る半導体集積回路の相補型MISFET部分を示す断面構造図である。

【図2】

本発明の第1の実施の形態に係る相補型MISFETの平面図である。

【図3】

(A) は本発明の第1の実施の形態に係るnチャネルMISFETの詳細な要部断面構造図、(B) は本発明の第1の実施の形態に係るpチャネルMISFETの詳細な要部断面構造図である。

【図4】

本発明の第1の実施の形態に係るゲート電極表面からの深さとSiGe組成比との関係を示す図である。

【図5】

本発明の第1の実施の形態に係るゲート電極表面からの深さとSiGe組成比とAs濃度との関係を示す図である。

【図6】

本発明の第1の実施の形態に係るゲート電極表面からの深さとSiGe組成比とB濃度との関係を示す図である。

【図7】

本発明の第1の実施の形態に係る製造プロセスを各製造工程毎に示す半導体集積回路の工程断面図である。

【図8】

本発明の第1の実施の形態に係る半導体集積回路の工程断面図である。

【図9】

本発明の第1の実施の形態に係る半導体集積回路の工程断面図である。

【図10】

本発明の第1の実施の形態に係る半導体集積回路の工程断面図である。

【図11】

本発明の第1の実施の形態に係る半導体集積回路の工程断面図である。

【図12】

本発明の第1の実施の形態に係る半導体集積回路の工程断面図である。

【図13】

本発明の第1の実施の形態に係る半導体集積回路の工程断面図である。

【図14】

本発明の第1の実施の形態に係る半導体集積回路の工程断面図である。

【図15】

本発明の第1の実施の形態に係る半導体集積回路の工程断面図である。

【図16】

本発明の第1の実施の形態に係る半導体集積回路の工程断面図である。

【図17】

本発明の第1の実施の形態に係る半導体集積回路の工程断面図である。

【図18】

本発明の第1の実施の形態に係る半導体集積回路の工程断面図である。

【図19】

本発明の第1の実施の形態に係る半導体集積回路の工程断面図である。

【図20】

本発明の第2の実施の形態に係るゲート電極の表面からの深さとSiGe組成比との関係を示す図である。

【図21】

本発明の第2の実施の形態に係るゲート電極の表面からの深さとSiGe組成比との関係を示す図である。

【図22】

(A)、(B)、(C)、(D)、(E)はいずれも本発明の第3の実施の形態に係る半導体集積回路のnチャネルMISFETの詳細な要部断面構造図である。

【図23】

本発明の第4の実施の形態に係る半導体集積回路の相補型MISFET部分を示す断面構造図である。

【図24】

本発明の第4の実施の形態に係るエレベーテッド電極の表面からの深さとSiGe組成比との関係を示す図である。

【図25】

本発明の第4の実施の形態に係るエレベーテッド電極の表面からの深さとSiGe

組成比との関係を示す図である。

【図26】

本発明の第4の実施の形態に係る製造プロセスを各製造工程毎に示す半導体集積回路の工程断面図である。

【図27】

本発明の第4の実施の形態に係る半導体集積回路の工程断面図である。

【図28】

本発明の第4の実施の形態に係る半導体集積回路の工程断面図である。

【図29】

本発明の第4の実施の形態に係る半導体集積回路の工程断面図である。

【図30】

本発明の第4の実施の形態に係る半導体集積回路の工程断面図である。

【図31】

本発明の第4の実施の形態に係る半導体集積回路の工程断面図である。

【図32】

本発明の第4の実施の形態に係る半導体集積回路の工程断面図である。

【図33】

本発明の第5の実施の形態に係る半導体集積回路の相補型MISFET部分を示す断面構造図である。

【図34】

本発明の第5の実施の形態に係る製造プロセスを各製造工程毎に示す半導体集積回路の工程断面図である。

【図35】

本発明の第5の実施の形態に係る半導体集積回路の工程断面図である。

【図36】

本発明の第5の実施の形態に係る半導体集積回路の工程断面図である。

【図37】

本発明の第5の実施の形態に係る半導体集積回路の工程断面図である。

【図38】

本発明の第5の実施の形態に係る半導体集積回路の工程断面図である。

【図39】

本発明の第5の実施の形態に係る半導体集積回路の工程断面図である。

【図40】

本発明の第5の実施の形態に係る半導体集積回路の工程断面図である。

【図41】

本発明の第5の実施の形態に係る半導体集積回路の工程断面図である。

【符号の説明】

1 半導体基板

1 P, 1 N ウエル領域

2 素子分離領域

3 ゲート絶縁膜

4 P, 4 N ゲート電極

4 p, 4 n, 5 n, 6 p 第2領域

4 g, 5 g, 6 g 第1領域

5, 6 主電極

5 L, 5 H, 6 L, 6 H 半導体領域

4 E, 5 E, 6 E エレベーテッド電極

7 ゲート側壁

8 G, 8 M シリサイド電極

10, 13 層間絶縁膜

11, 14 接続孔

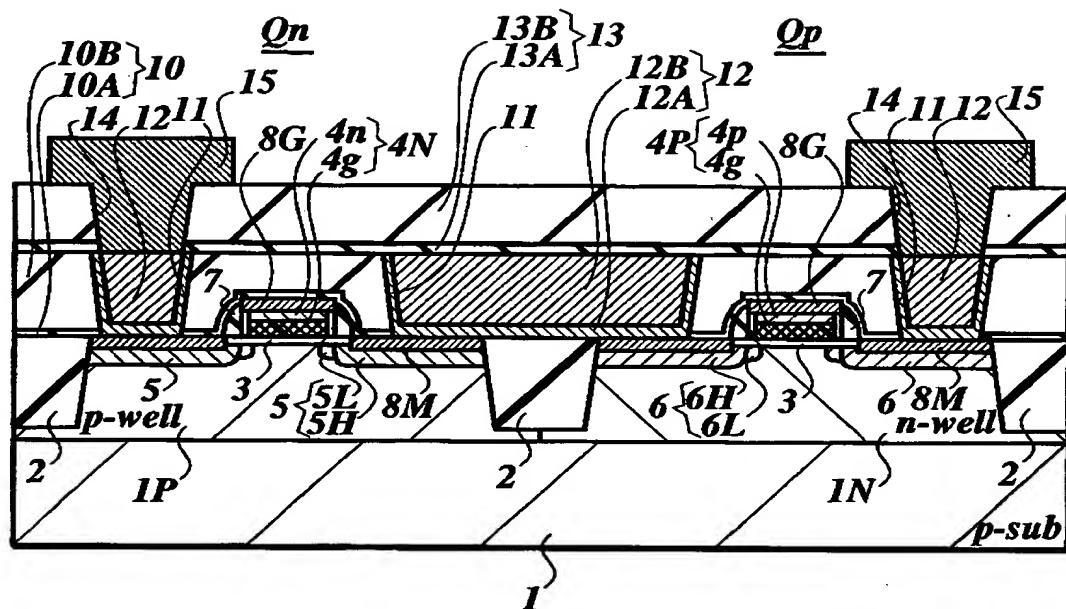
12 コンタクトプラグ電極

15 配線

Qn, Qp MISFET

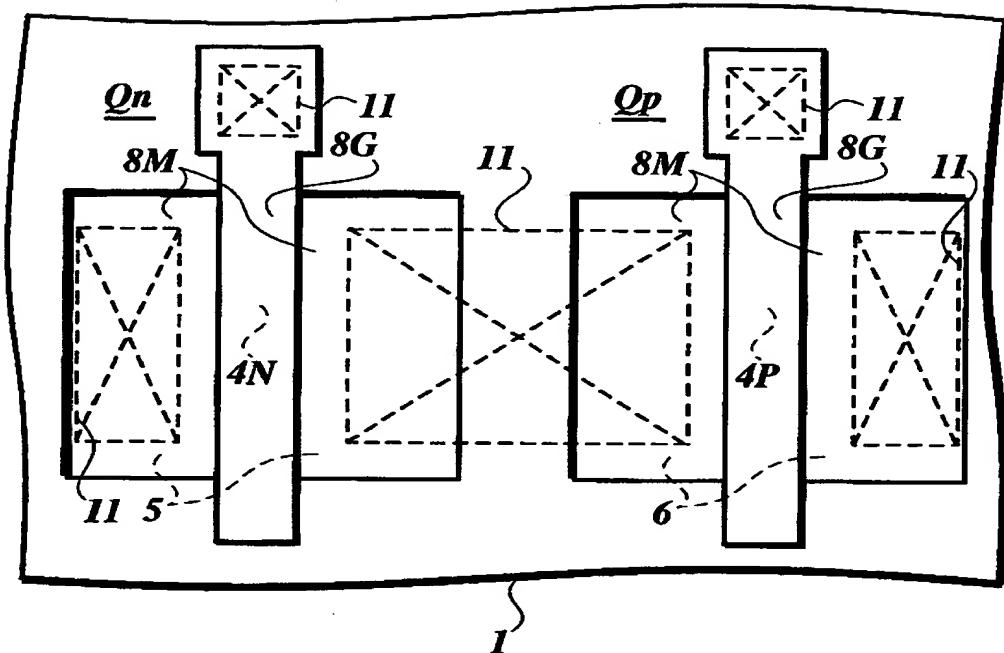
【書類名】 図面

【図 1】

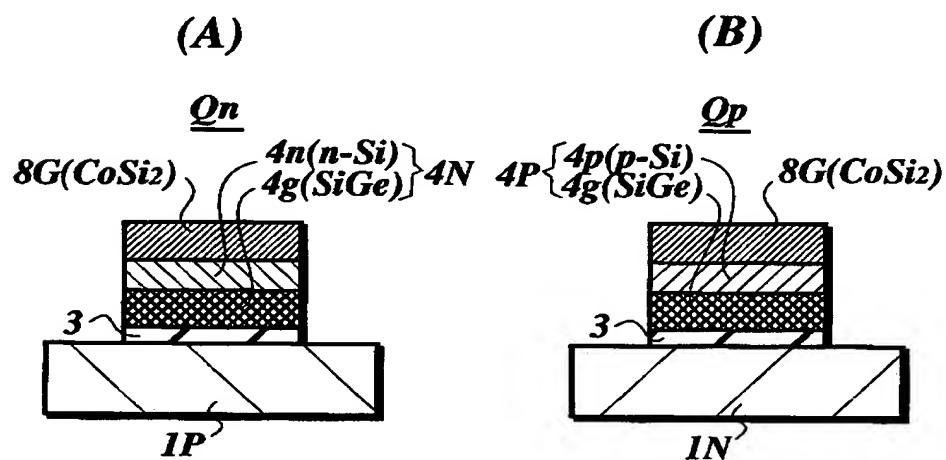


<b>1</b>	半導体基板
<b>IP, IN</b>	ウェル領域
<b>2</b>	素子分離領域
<b>3</b>	ゲート絶縁膜
<b>4P, 4N</b>	ゲート電極
<b>4p, 4n</b>	第2領域 (Si)
<b>4g</b>	第1領域 (SiGe)
<b>5, 6</b>	ソース電極又はドレイン電極
<b>5L, 5H</b>	半導体領域
<b>6L, 6H</b>	半導体領域
<b>7</b>	ゲート側壁
<b>8G, 8M</b>	シリサイド電極
<b>10, 13</b>	層間絶縁膜
<b>11, 14</b>	コンタクトホール
<b>12</b>	コンタクトプラグ
<b>15</b>	配線

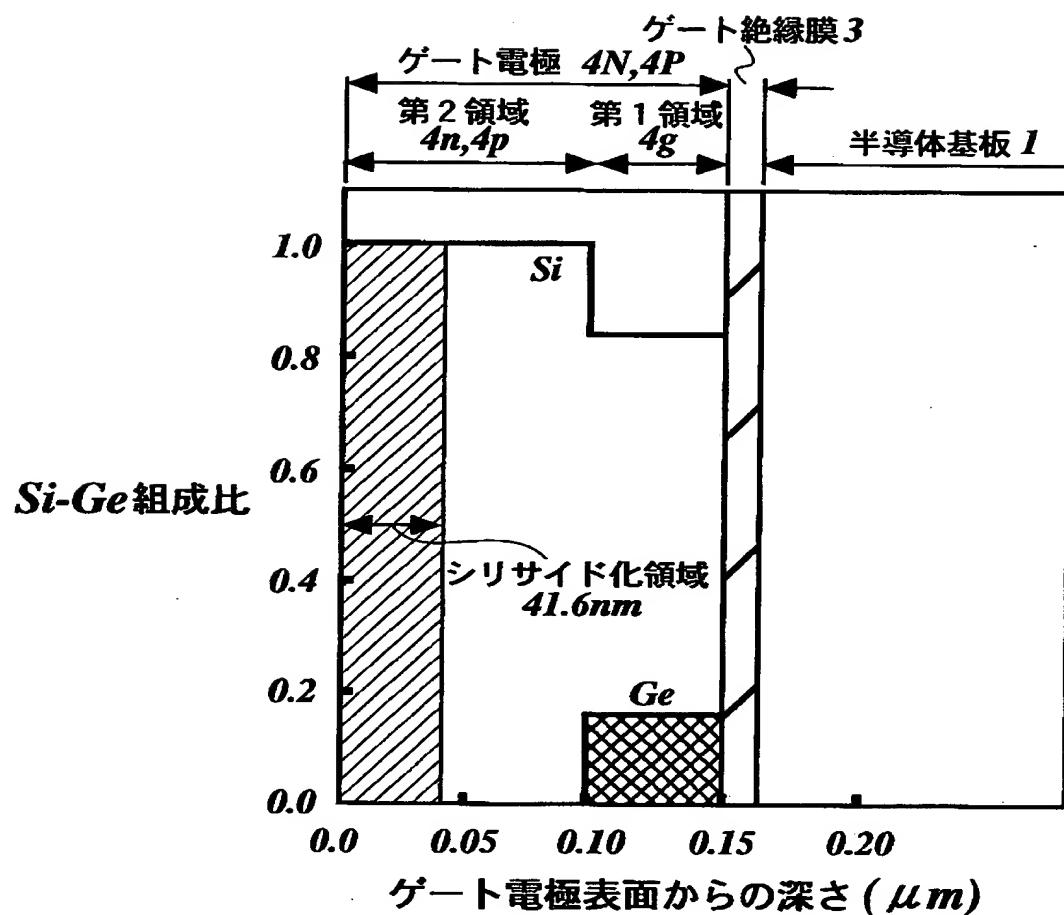
【図2】



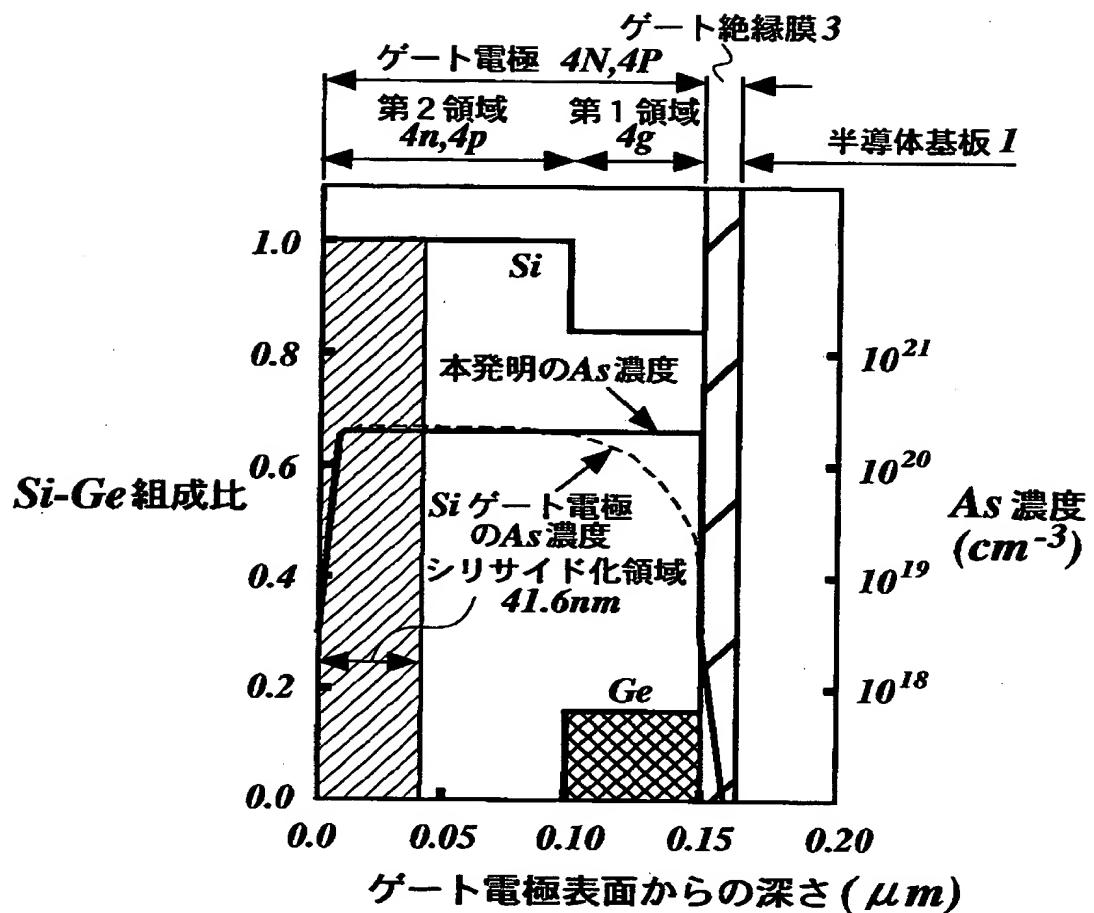
【図3】



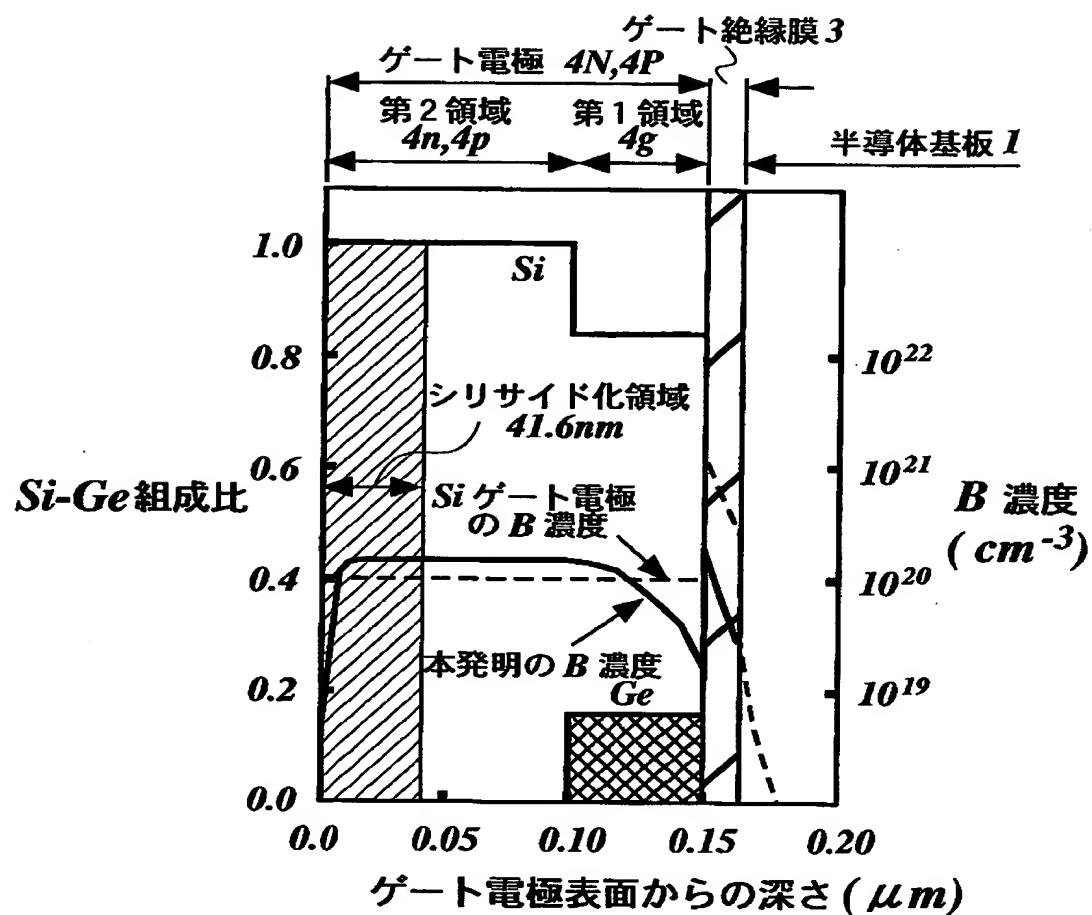
【図4】



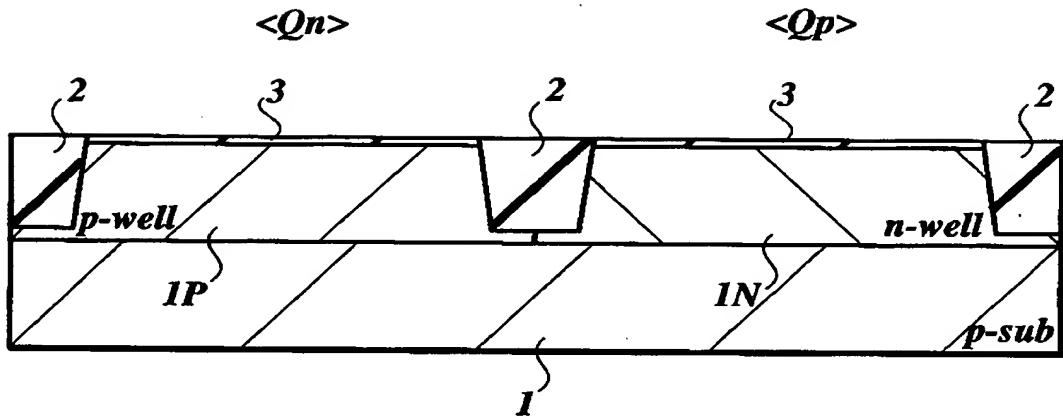
【図5】



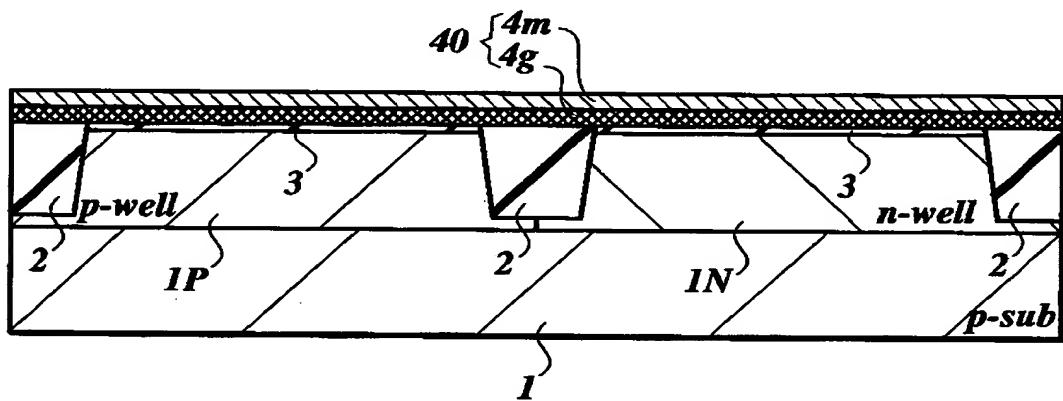
【図6】



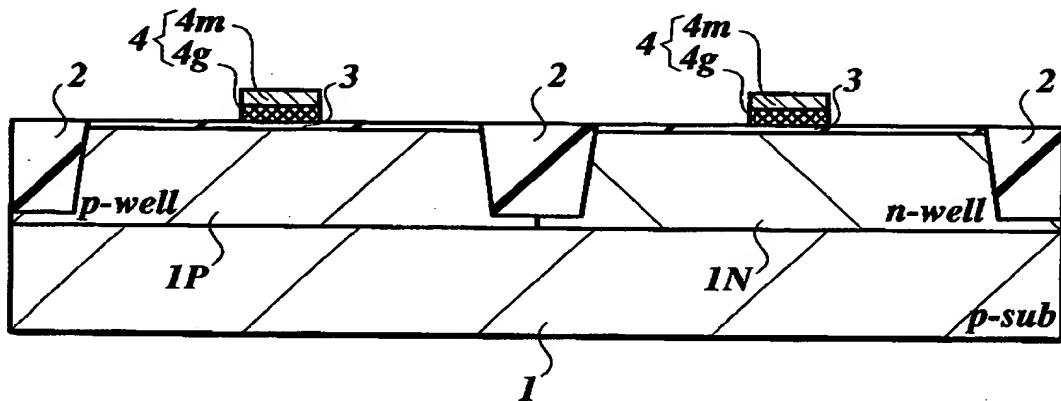
【図7】



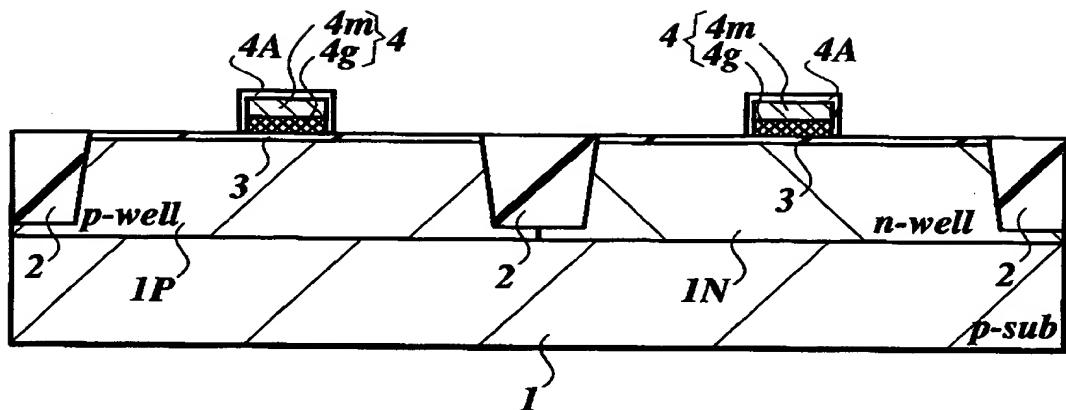
【図8】



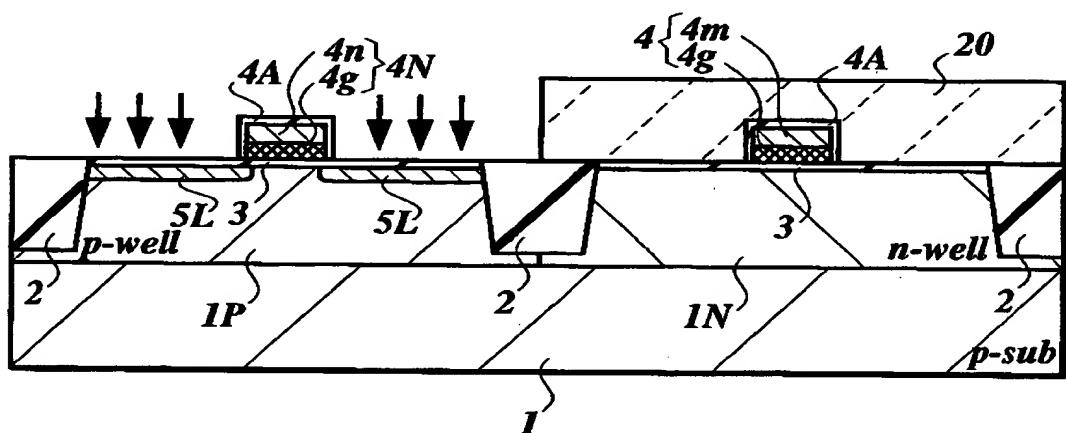
【図9】



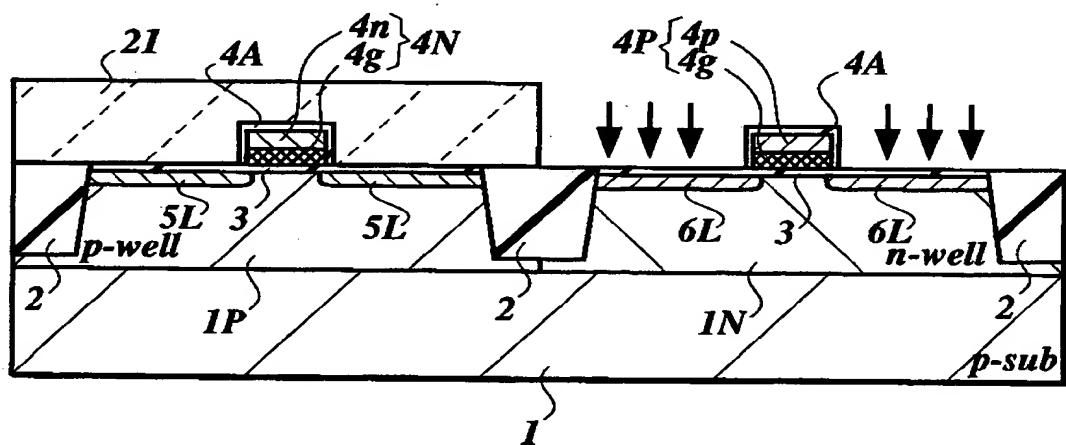
【図10】



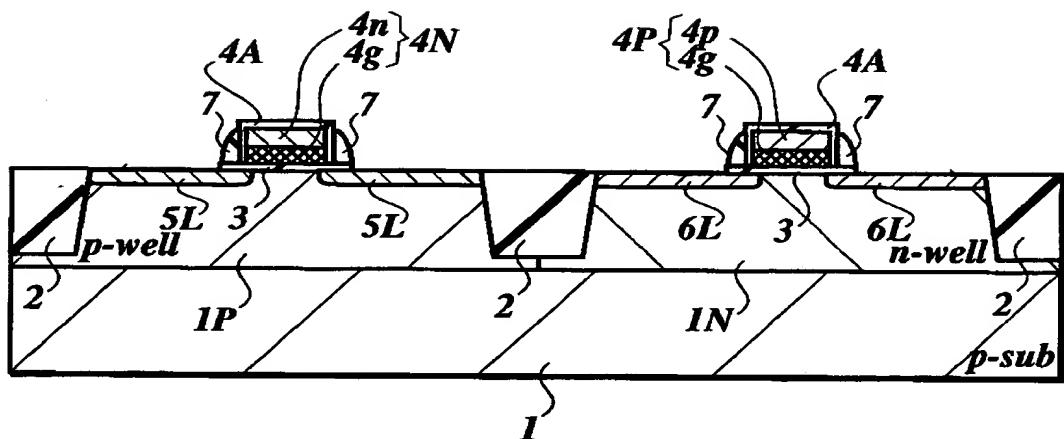
【図11】



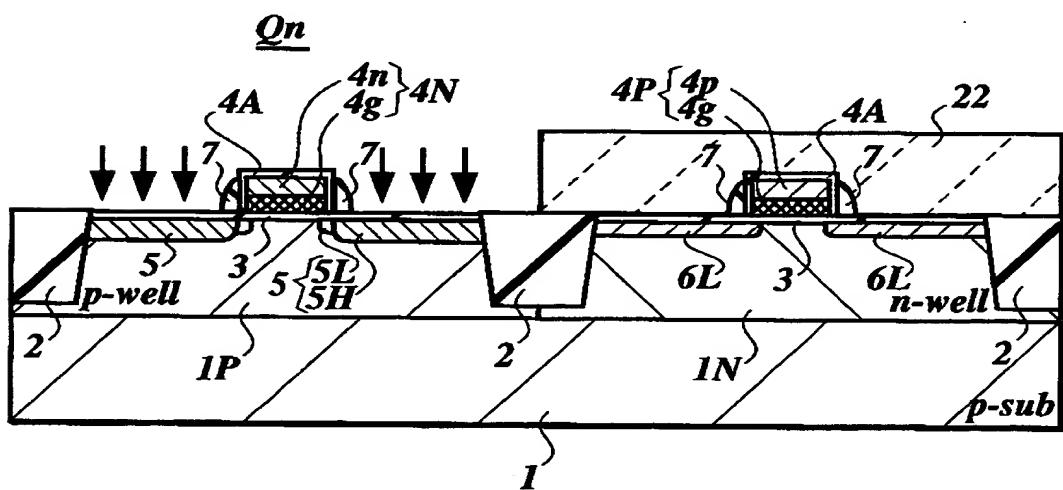
【図12】



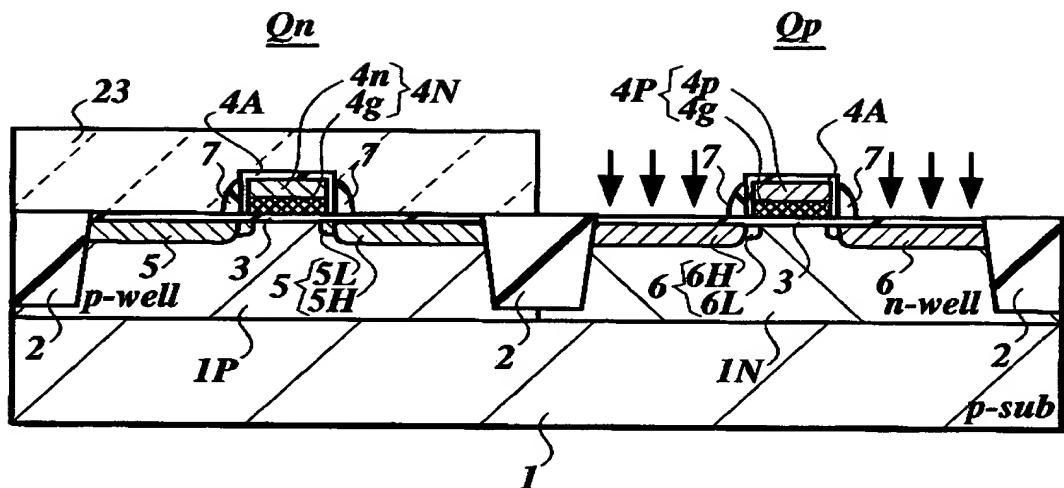
【図13】



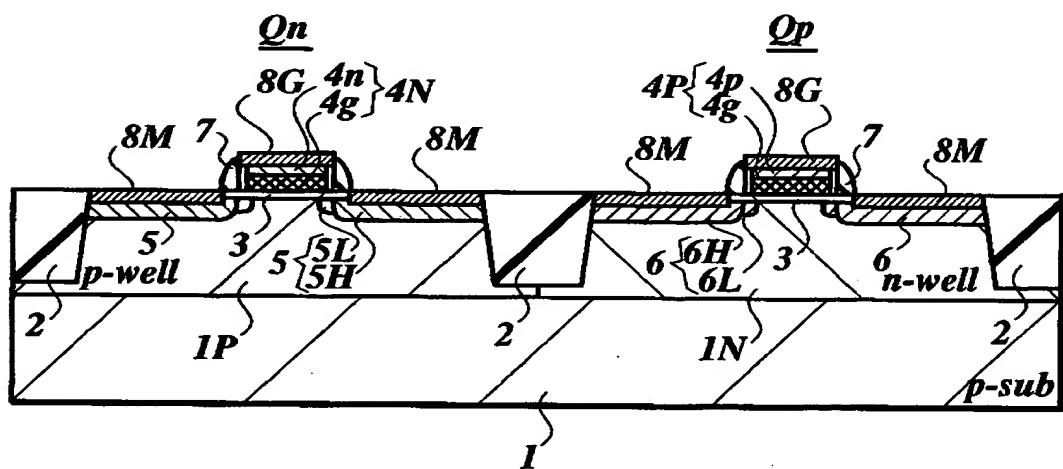
【図14】



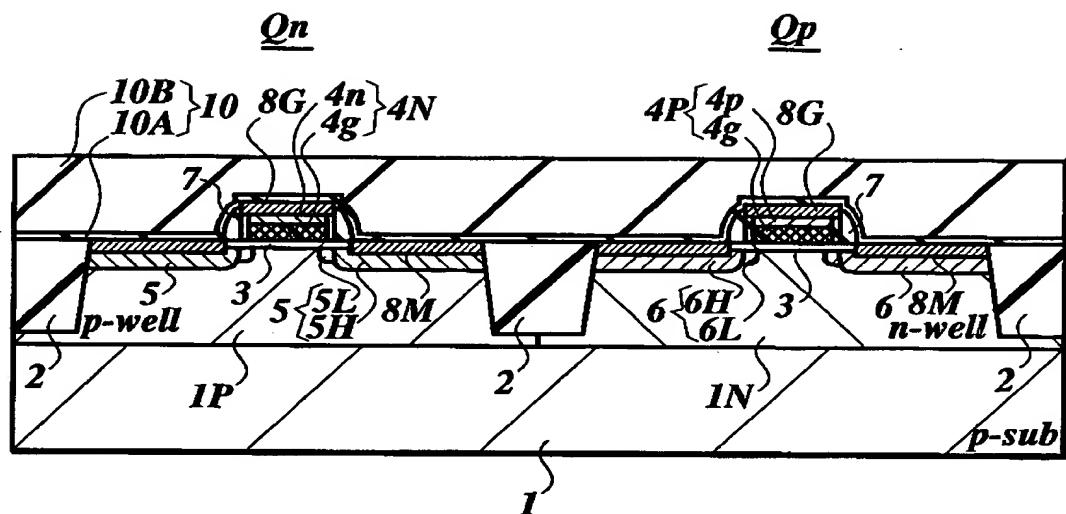
【図15】



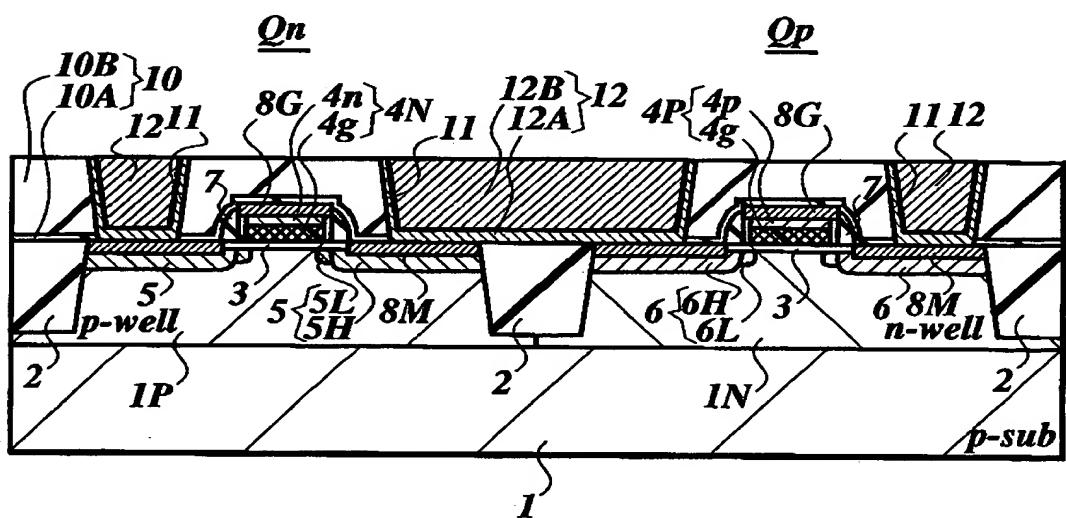
【図16】



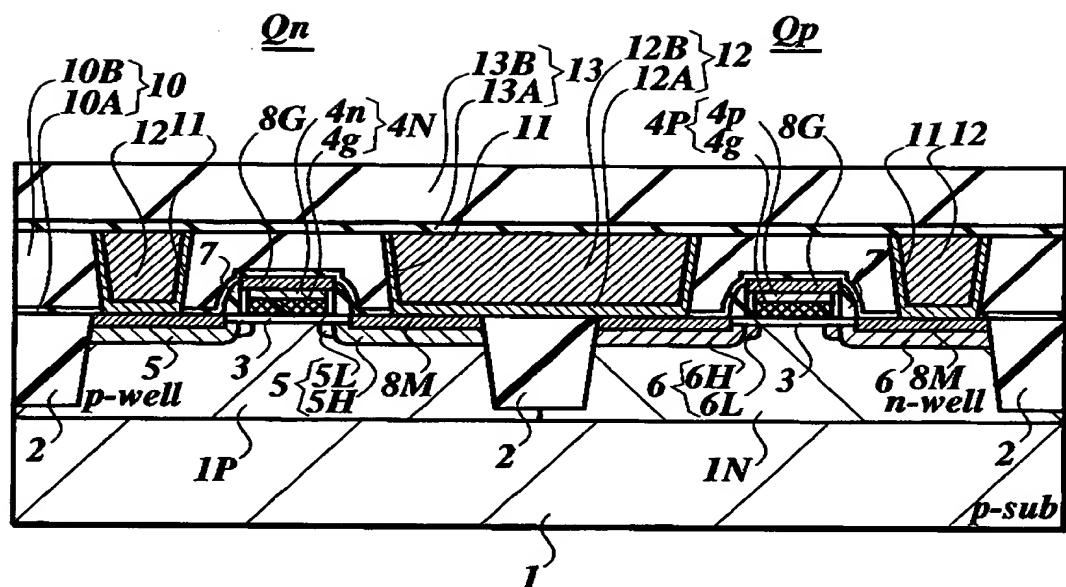
【図17】



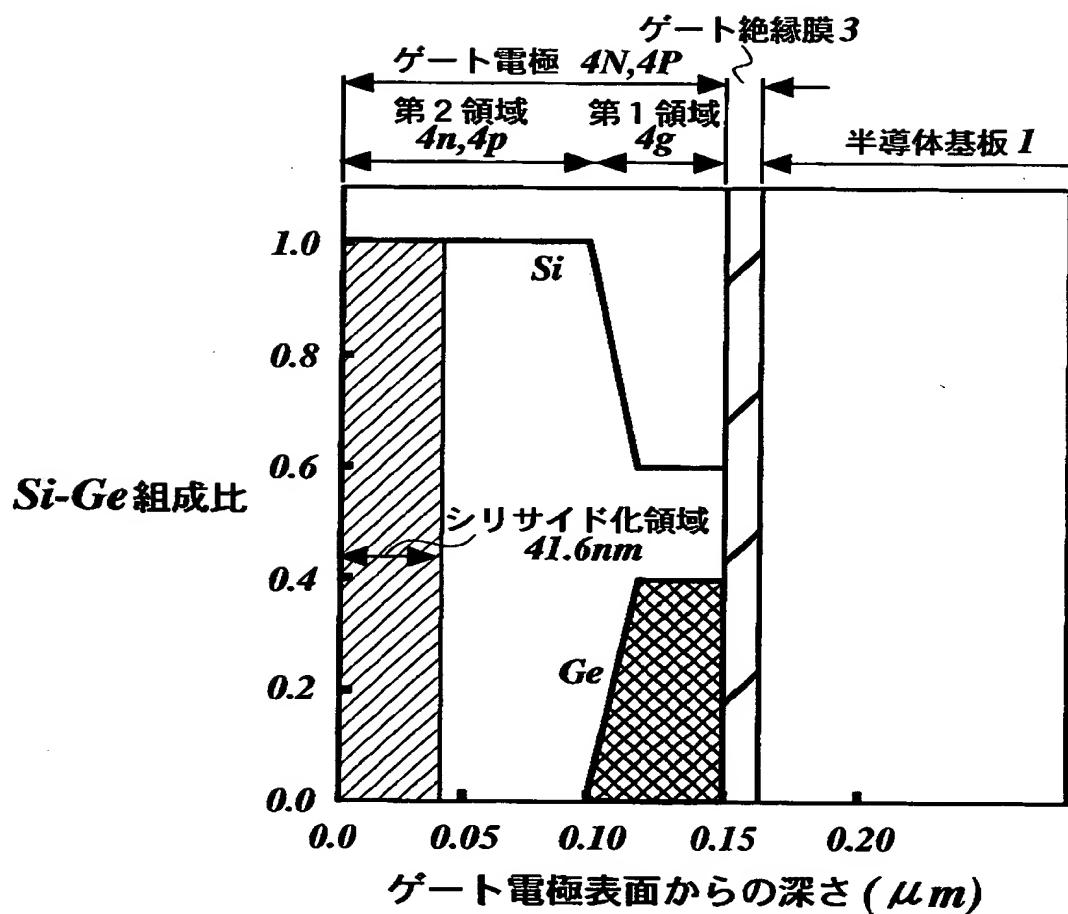
【図18】



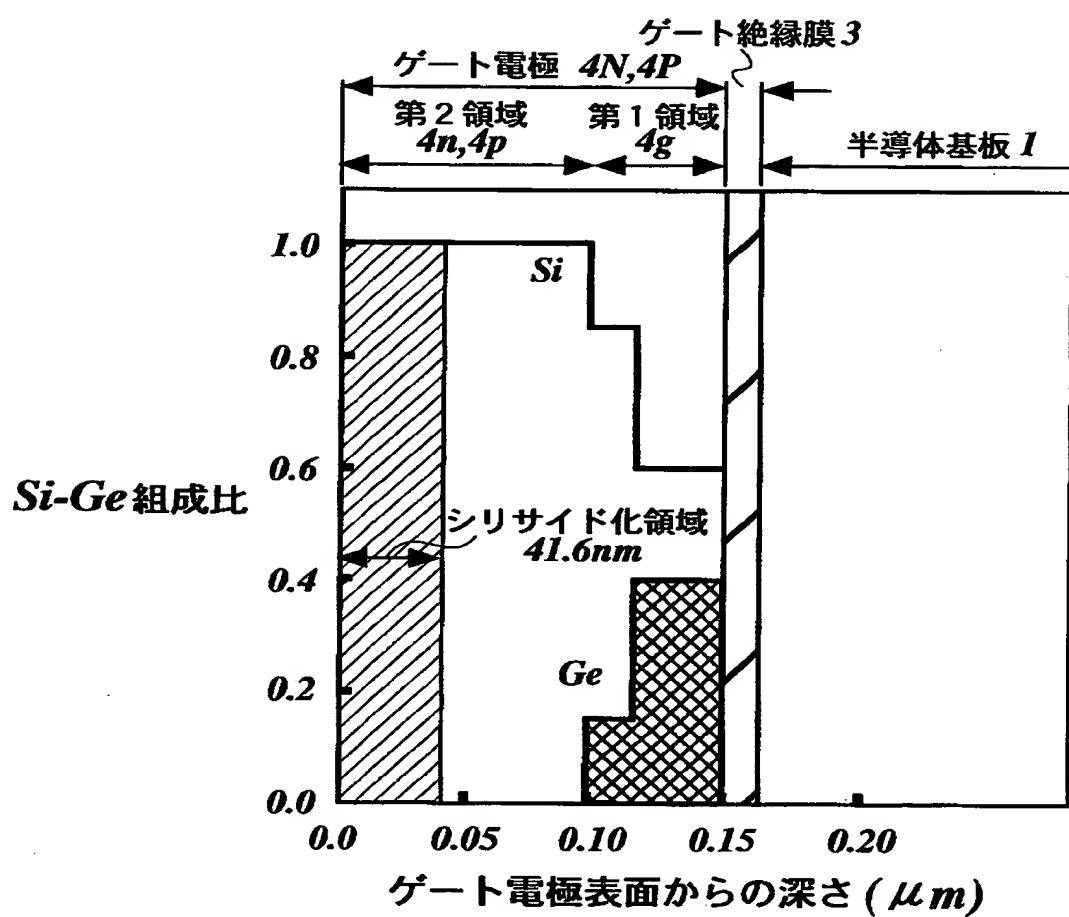
【図19】



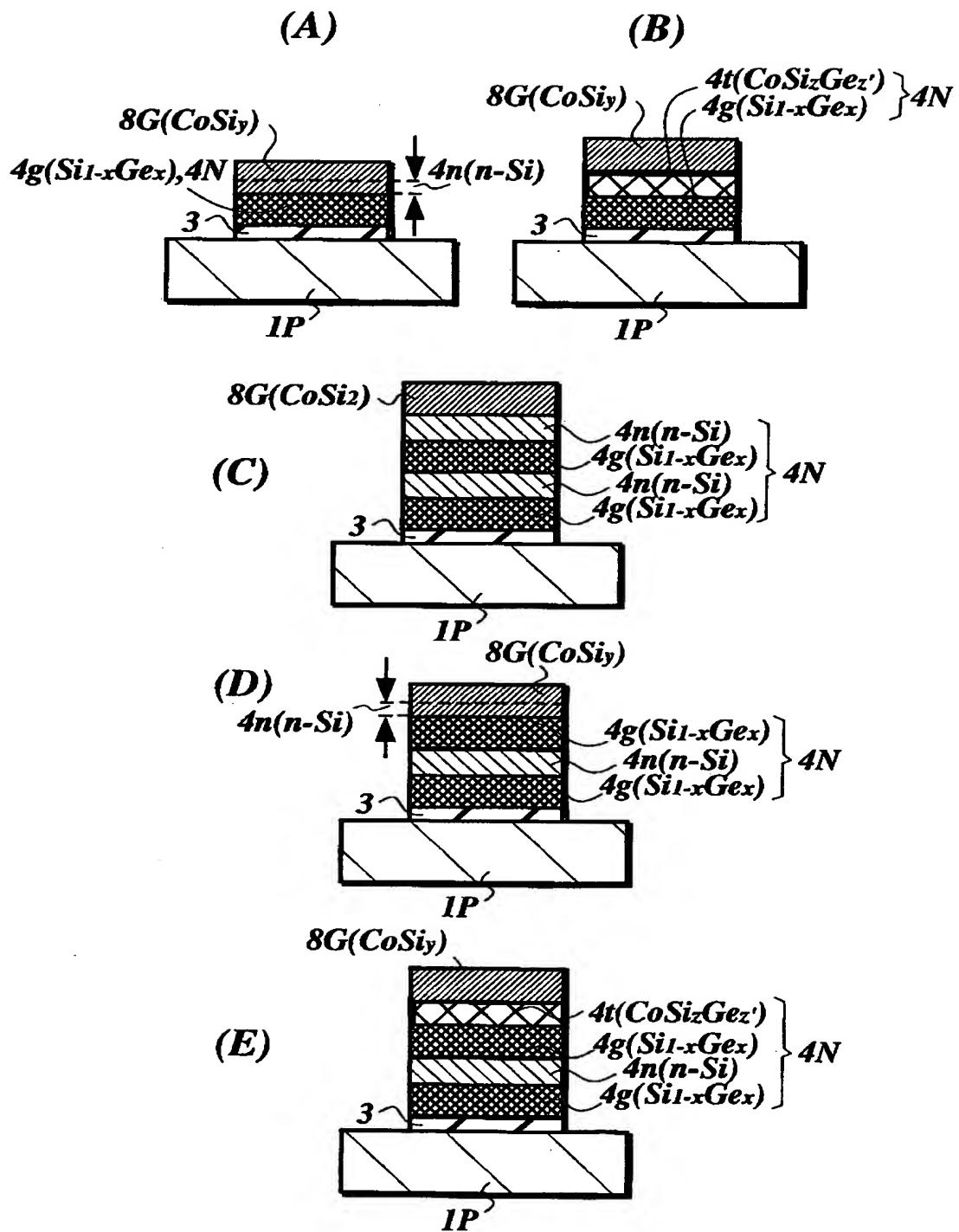
【図20】



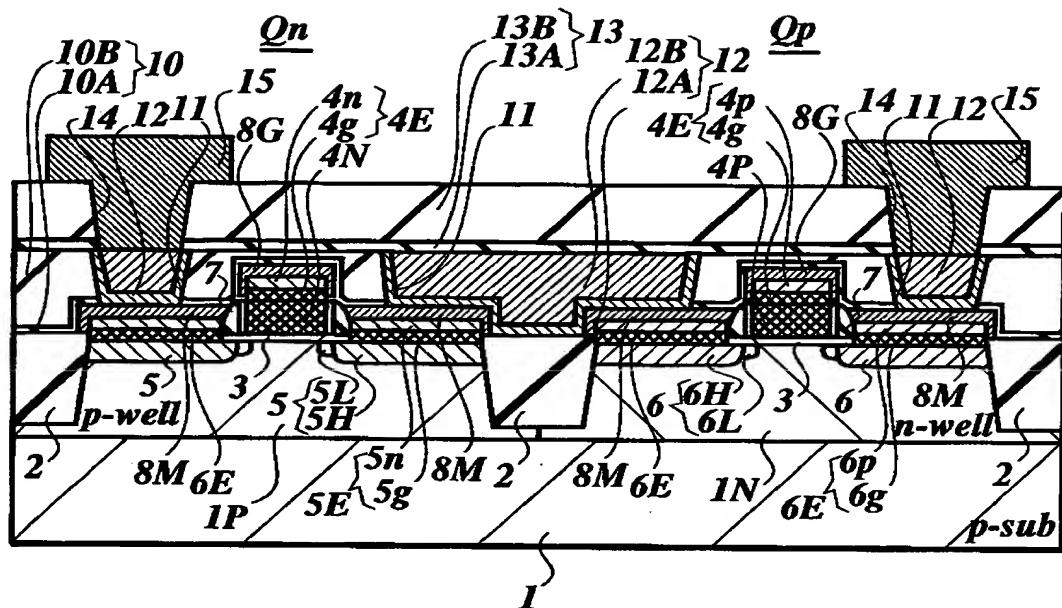
【図21】



【図22】

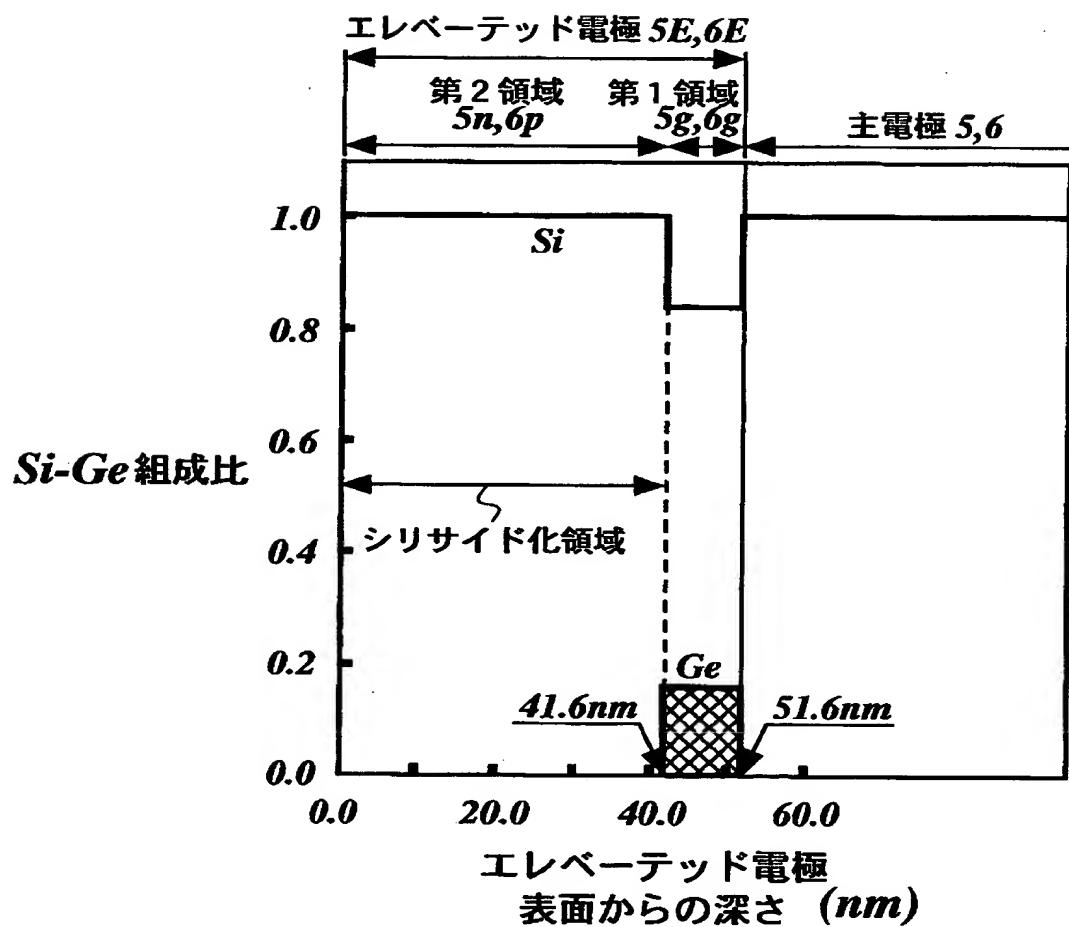


【図23】

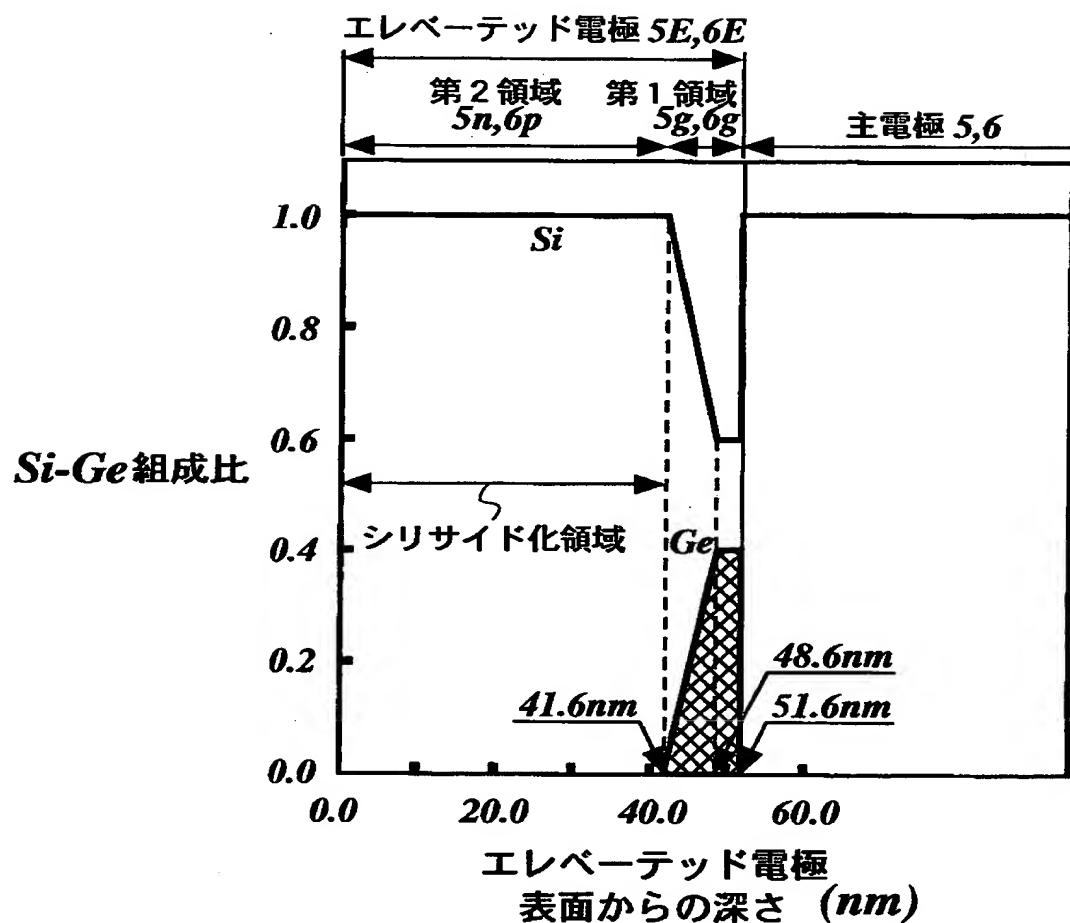


<b>I</b>	半導体基板
<b>IP, IN</b>	ウェル領域
<b>2</b>	素子分離領域
<b>3</b>	ゲート絶縁膜
<b>4P, 4N</b>	ゲート電極
<b>4p, 4n, 5n, 6p</b>	第2領域 (Si)
<b>4g, 5g, 6g</b>	第1領域 (SiGe)
<b>5, 6</b>	ソース電極又はドレイン電極
<b>5L, 5H</b>	半導体領域
<b>6L, 6H</b>	半導体領域
<b>4E, 5E, 6E</b>	エレベーテッド電極
<b>7</b>	ゲート側壁
<b>8G, 8M</b>	シリサイド電極
<b>10, 13</b>	層間絶縁膜
<b>11, 14</b>	コンタクトホール
<b>12</b>	コンタクトプラグ
<b>15</b>	配線

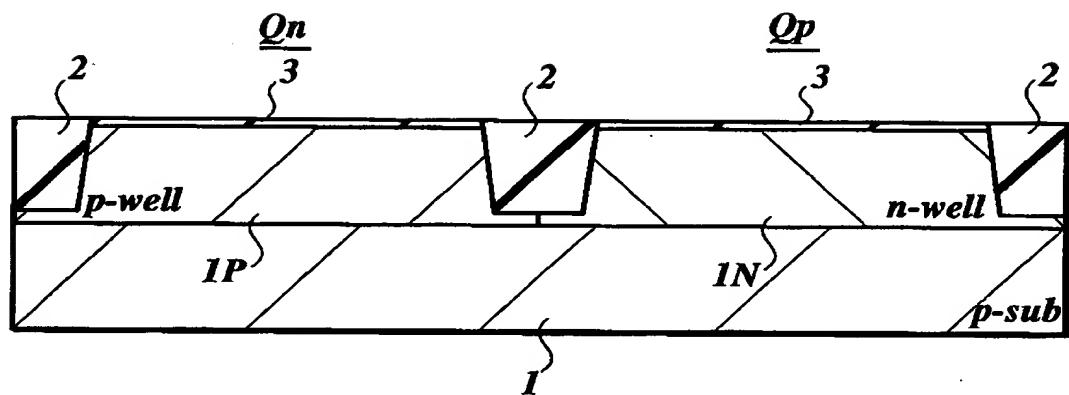
【図24】



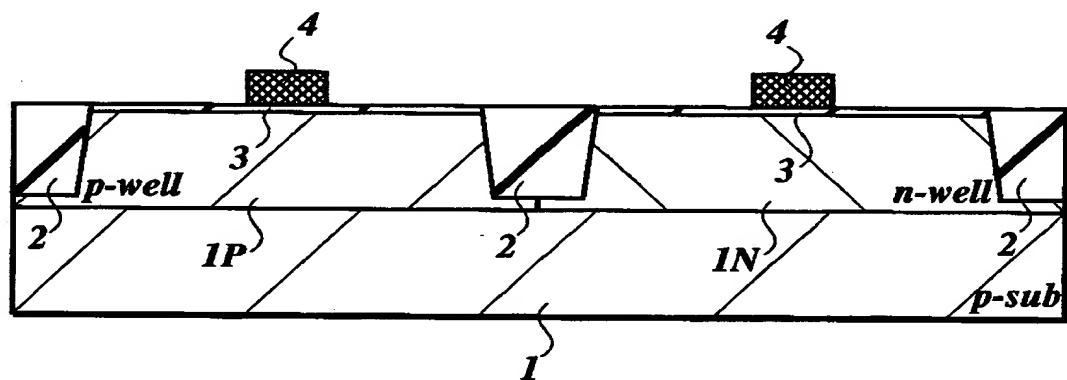
【図25】



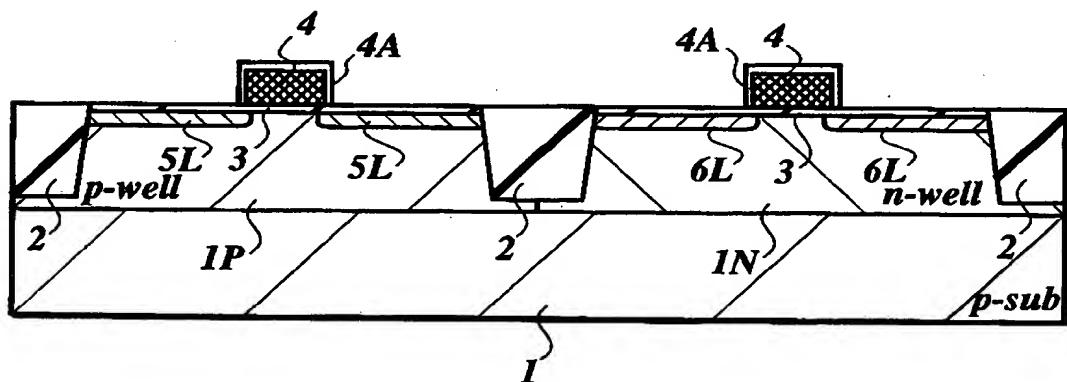
【図26】



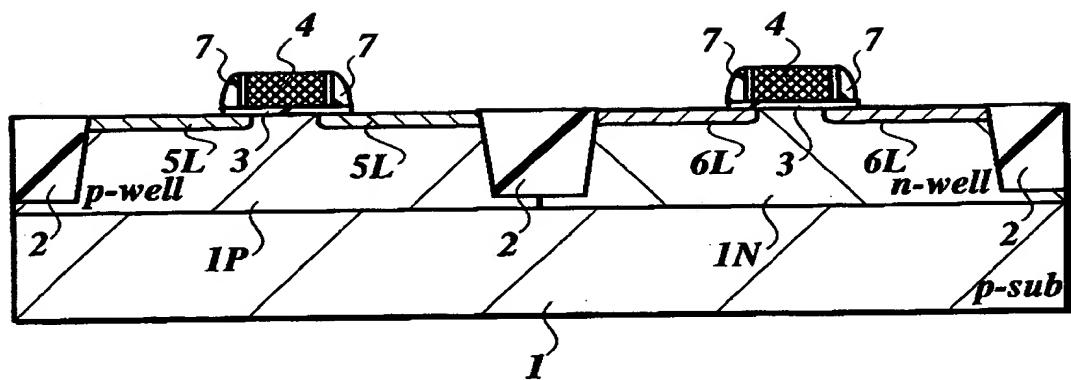
【図27】



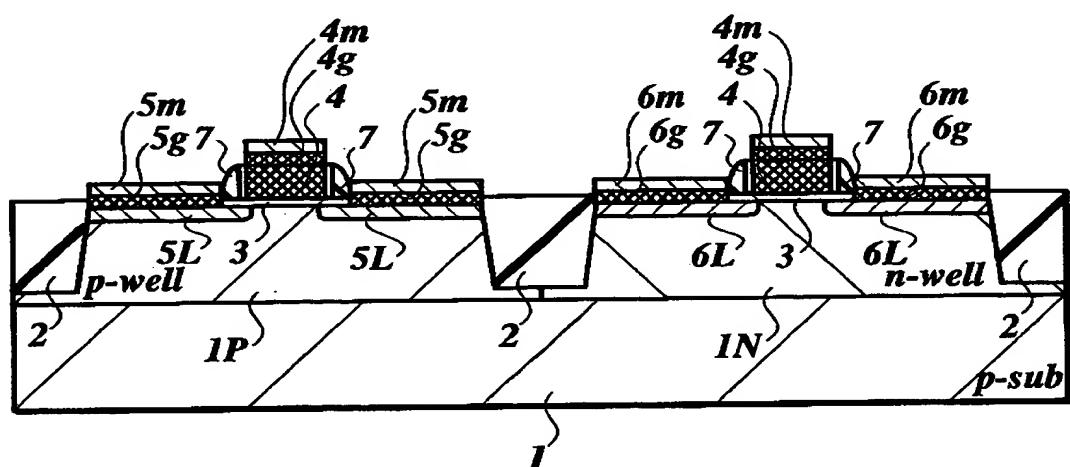
【図28】



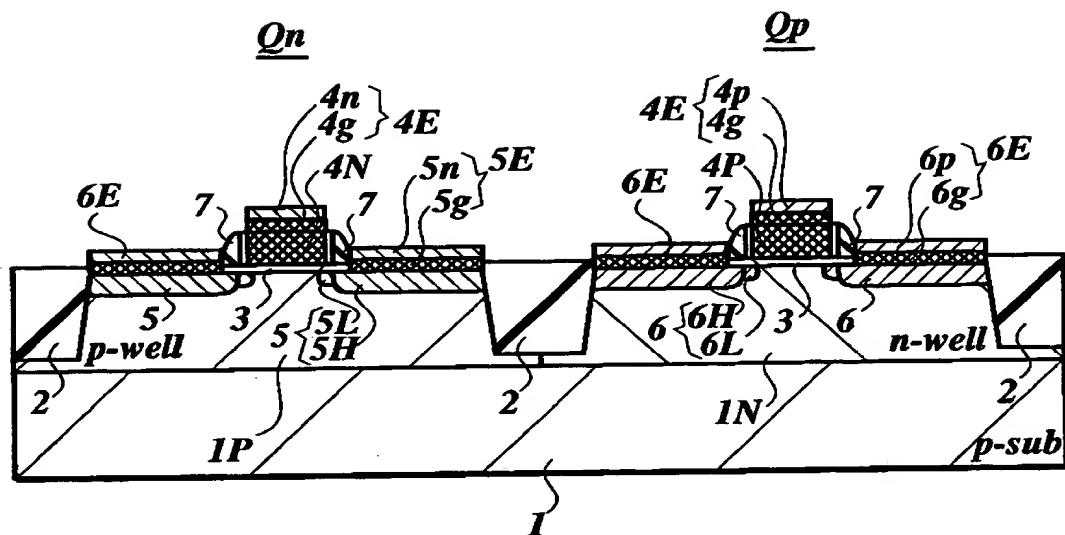
【図29】



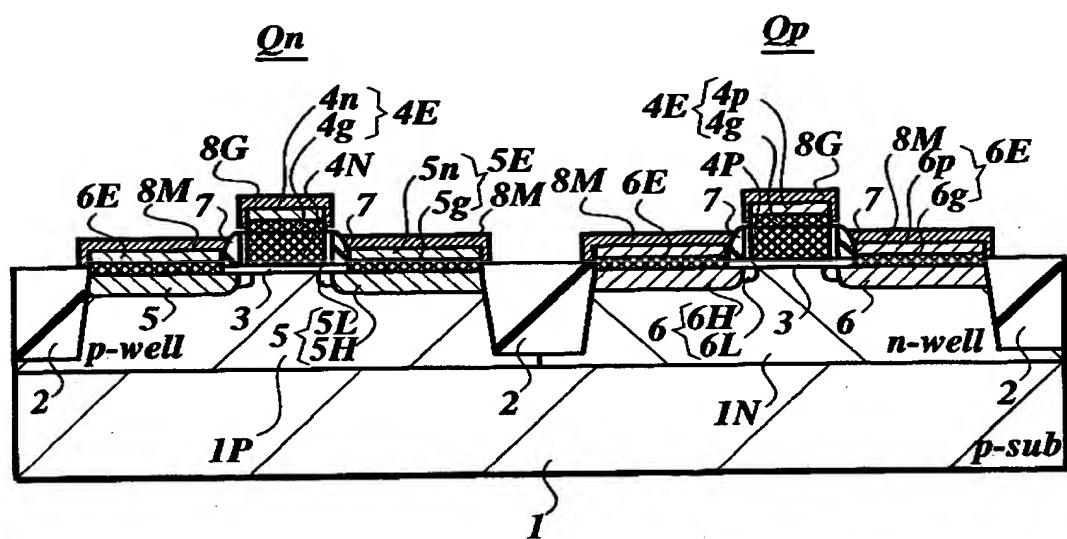
【図30】



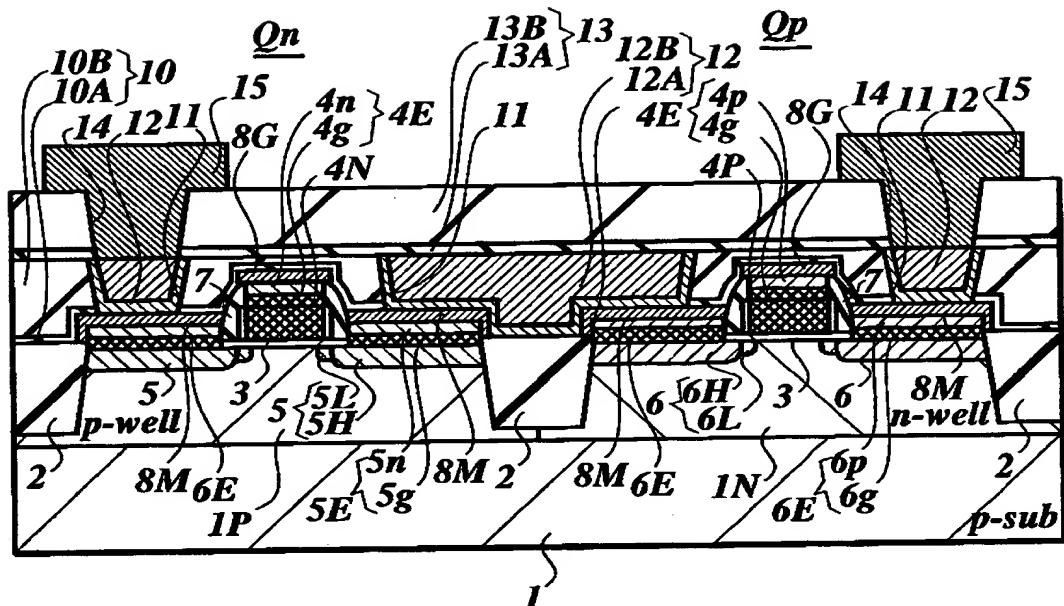
【図31】



【図32】

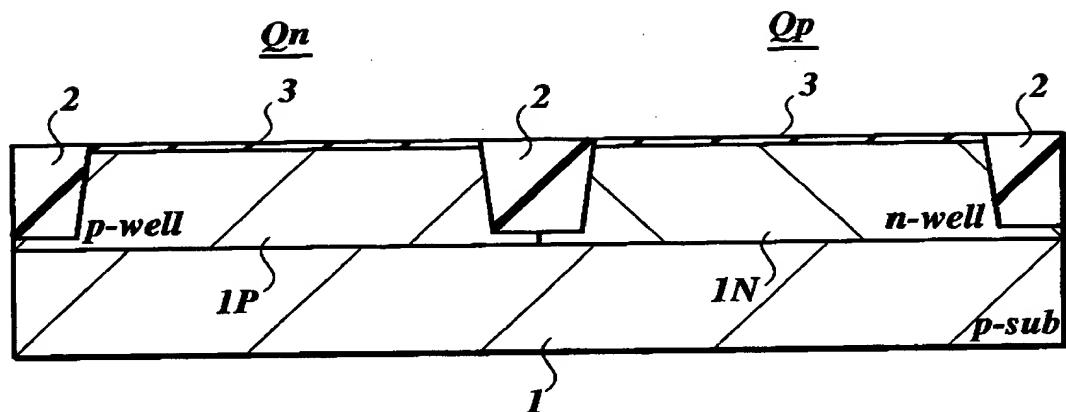


【図33】

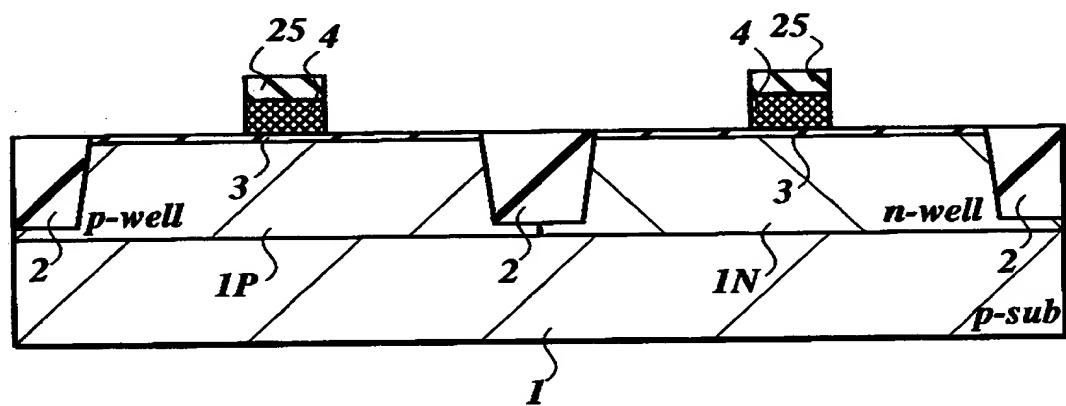


<b>I</b>	半導体基板
<b>1P, IN</b>	ウェル領域
<b>2</b>	素子分離領域
<b>3</b>	ゲート絶縁膜
<b>4P, 4N</b>	ゲート電極
<b>4p, 4n, 5n, 6p</b>	第2領域 (Si)
<b>4g, 5g, 6g</b>	第1領域 (SiGe)
<b>5, 6</b>	ソース電極又はドレイン電極
<b>5L, 5H</b>	半導体領域
<b>6L, 6H</b>	半導体領域
<b>4E, 5E, 6E</b>	エレベーテッド電極
<b>7</b>	ゲート側壁
<b>8G, 8M</b>	シリサイド電極
<b>10, 13</b>	層間絶縁膜
<b>11, 14</b>	コンタクトホール
<b>12</b>	コンタクトプラグ
<b>15</b>	配線

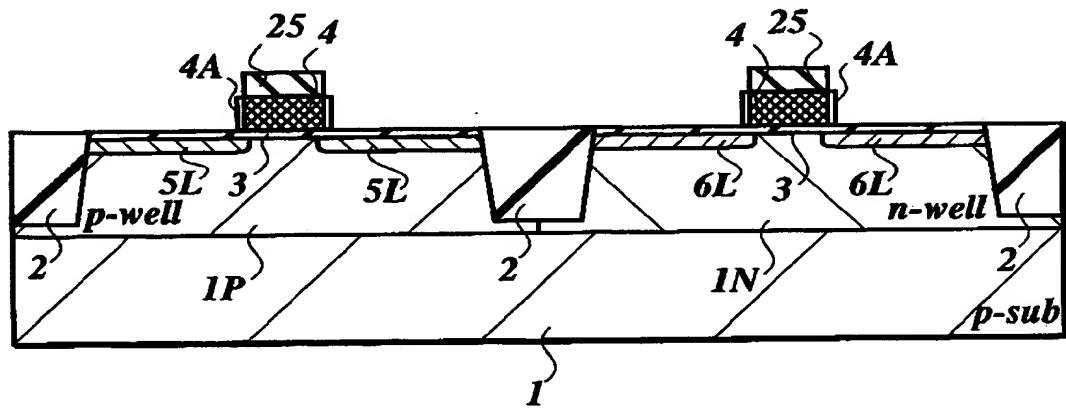
【図34】



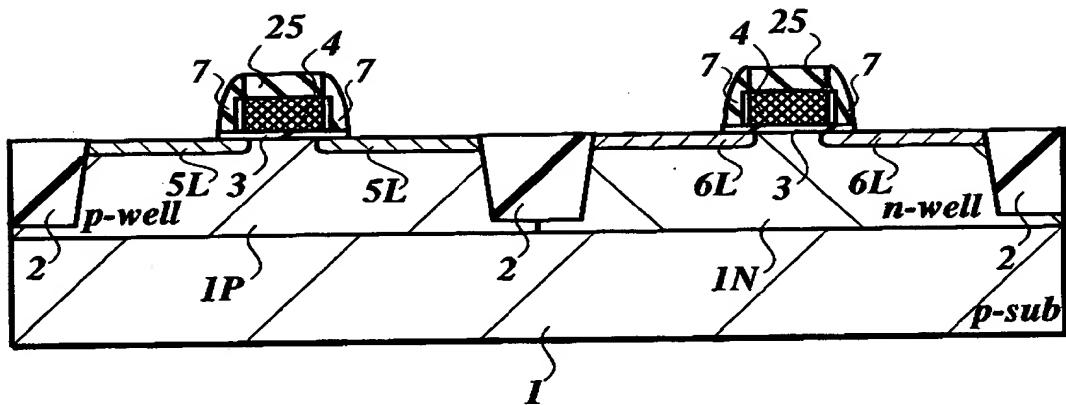
【図35】



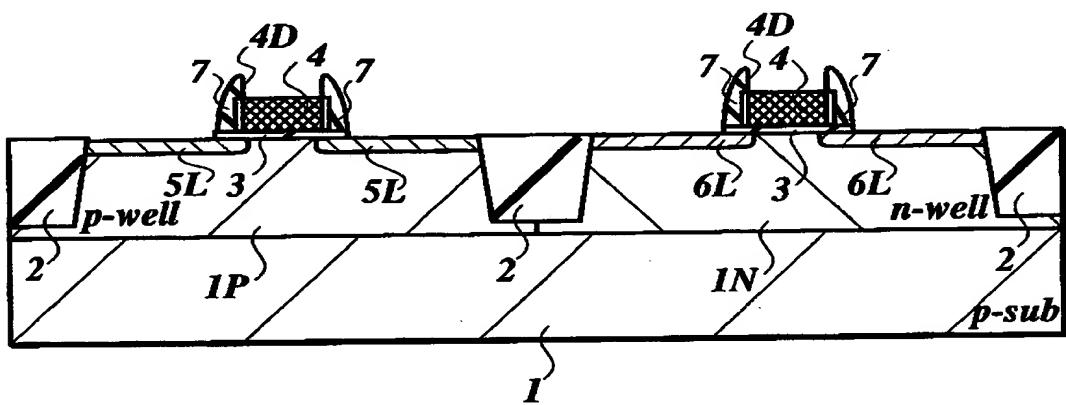
【図36】



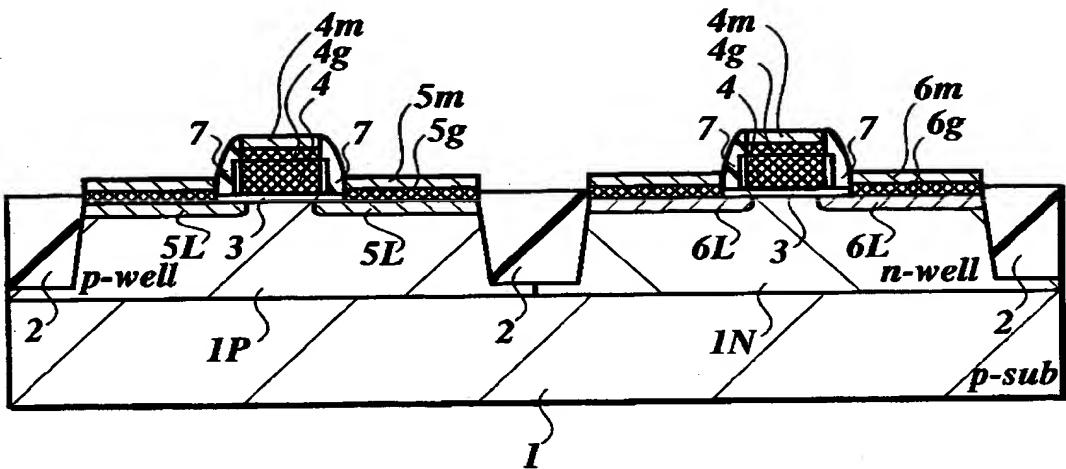
【図37】



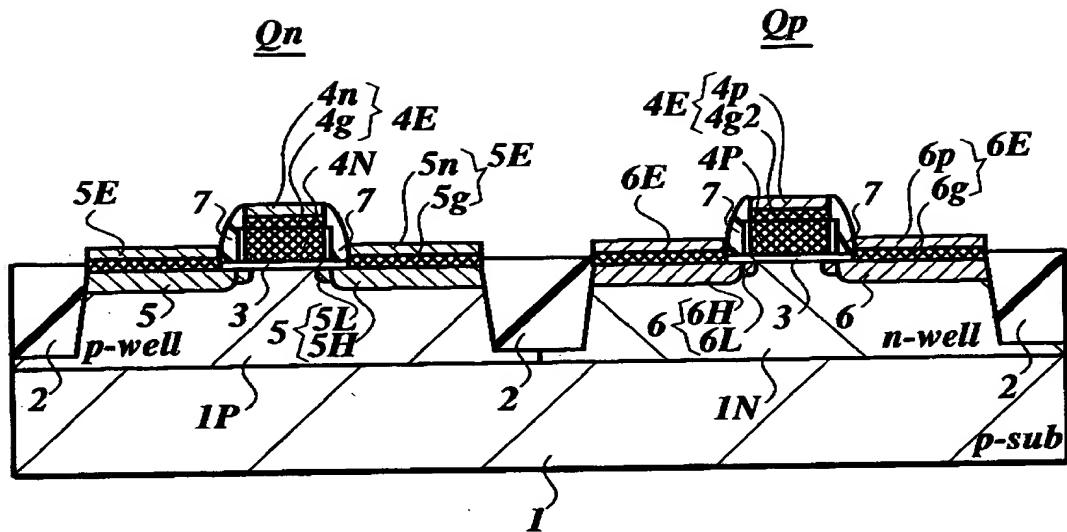
【図38】



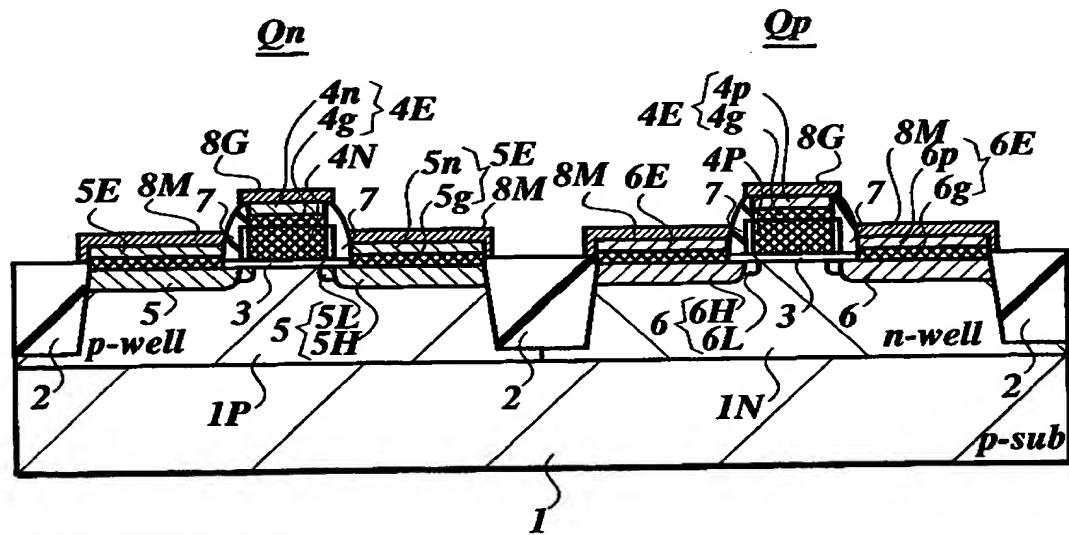
【図39】



【図40】



【図41】



【書類名】 要約書

【要約】

【課題】 MISFETのゲート電極にドーピングされた不純物のチャネル形成領域側への漏れを防止し、また不純物の濃度を全域にわたって充分に確保し、安定した閾値電圧を得ることができる半導体集積回路を提供する。シリサイド電極の抵抗値を減少させることができる半導体集積回路を提供する。

【解決手段】 nチャネルMISFET Qn のゲート電極 4N が、少なくとも 2 種類の第 1 及び第 2 四族元素で形成された第 1 領域 4g と第 1 四族元素で形成された第 2 領域 4n とで構成される。pチャネルMISFET Qp のゲート電極 4P は同様に第 1 領域 4g と第 2 領域 4p とで構成される。第 1 領域 4g は例えば SiGe で、第 2 領域 4n、4p はそれぞれ Si で形成される。ゲート電極 4N、4P 上にはそれぞれ第 2 領域 4n、4p の少なくとも一部をシリサイド化したシリサイド電極 8G が形成される。

【選択図】 図 1

【書類名】 職権訂正データ  
 【訂正書類】 特許願

## &lt;認定情報・付加情報&gt;

## 【特許出願人】

【識別番号】 000003078  
 【住所又は居所】 神奈川県川崎市幸区堀川町72番地  
 【氏名又は名称】 株式会社東芝  
 【代理人】 申請人  
 【識別番号】 100083806  
 【住所又は居所】 東京都港区虎ノ門1丁目2番3号 虎ノ門第一ビル  
 【氏名又は名称】 9階 三好内外国特許事務所  
 三好 秀和

## 【選任した代理人】

【識別番号】 100068342  
 【住所又は居所】 東京都港区虎ノ門1丁目2番3号 虎ノ門第一ビル  
 【氏名又は名称】 9階 三好内外国特許事務所  
 三好 保男

## 【選任した代理人】

【識別番号】 100100712  
 【住所又は居所】 東京都港区虎ノ門1丁目2番3号 虎ノ門第一ビル  
 【氏名又は名称】 9階 三好内外国特許事務所  
 岩▲崎▼ 幸邦

## 【選任した代理人】

【識別番号】 100100929  
 【住所又は居所】 東京都港区虎ノ門1丁目2番3号 虎ノ門第一ビル  
 【氏名又は名称】 9階 三好内外国特許事務所  
 川又 澄雄

## 【選任した代理人】

【識別番号】 100108707  
 【住所又は居所】 東京都港区虎ノ門1丁目2番3号 虎ノ門第1ビル  
 【氏名又は名称】 9階三好内外国特許事務所  
 中村 友之

## 【選任した代理人】

【識別番号】 100095500  
 【住所又は居所】 東京都港区虎ノ門1丁目2番3号 虎ノ門第一ビル  
 【氏名又は名称】 9階 三好内外国特許事務所  
 伊藤 正和

## 【選任した代理人】

【識別番号】 100101247  
【住所又は居所】 東京都港区虎ノ門1丁目2番3号 虎ノ門第一ビル  
9階 三好内外国特許事務所  
【氏名又は名称】 高橋 俊一  
【選任した代理人】  
【識別番号】 100098327  
【住所又は居所】 東京都港区虎ノ門1丁目2番3号 虎ノ門第一ビル  
9階 三好内外国特許事務所  
【氏名又は名称】 高松 俊雄